



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10276365 A**

(43) Date of publication of application: **13.10.98**

(51) Int. CI **H04N 5/268**
 H04N 5/915
 H04N 7/32
 H04N 7/18

(21) Application number: 09080082

(22) Date of filing: 31.03.97

(71) Applicant: **HITACHI LTD**

(72) Inventor: **ONO KOICHI**
NISHIJIMA HIDEO
KANESAKI TAKAYUKI
HORIUCHI SUNAO
TSUKIJI NOBUYOSHI

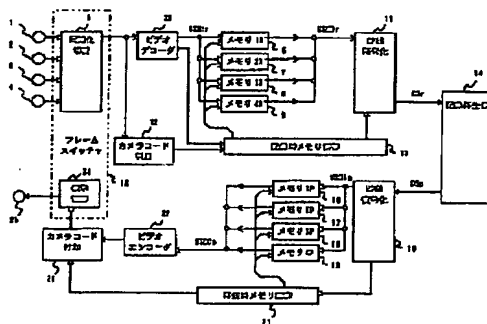
(54) VIDEO DATA COMPRESSOR, VIDEO RECORDING AND REPRODUCING DEVICE, AND VIDEO DATA COMPRESSION CODING METHOD

(57) Abstract:

PROBLEM TO BE SOLVED: To compress pluralities of video data efficiently by using prediction coding.

SOLUTION: Mixed video data VSMIr that are time division mixture of video data received at video input terminals 1-4 are distributed by each of the video input terminals 1-4 and written into memories 6-9 corresponding to the video input terminals 1-4 at a recording state memory control circuit 13. Furthermore, the mixed video data written in the memories 6-9 are read by a prescribed frame number from the memories 6-9 sequentially. Then a Moving Picture Experts Group(MPEG) coding circuit 11 applies inter-frame prediction coding by the read prescribed frame number.

COPYRIGHT: (C)1998,JPO



BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-276365

(43) 公開日 平成10年(1998)10月13日

(51) Int.Cl.⁶

識別記号

F I

H 0 4 N 5/268
5/915
7/32
7/18

H 0 4 N 5/268
7/18
5/91
7/137

D
K
Z

審査請求 未請求 請求項の数13 O L (全 32 頁)

(21) 出願番号

特願平9-80082

(22) 出願日

平成9年(1997)3月31日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 小野 公一

神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所マルチメディアシステム開発本部内

(72) 発明者 西島 英男

神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所マルチメディアシステム開発本部内

(74) 代理人 弁理士 富田 和子

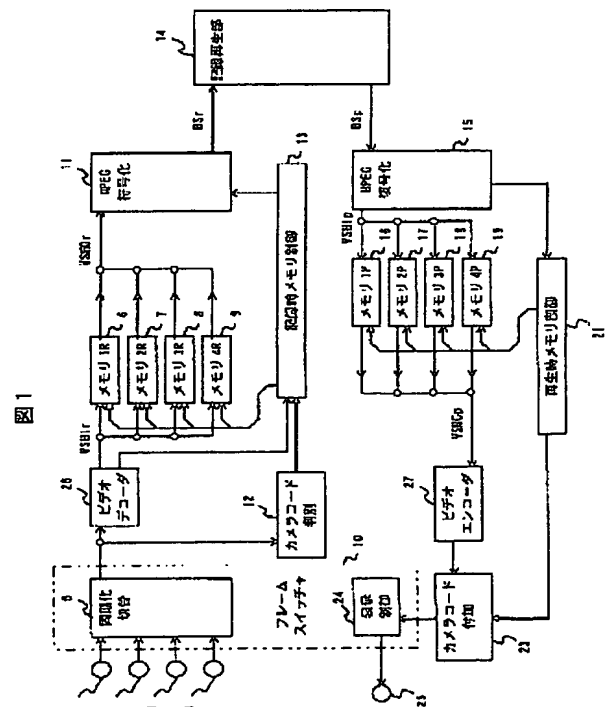
最終頁に続く

(54) 【発明の名称】 映像データ圧縮装置、映像記録再生装置および映像データの圧縮符号化方法

(57) 【要約】

【課題】 複数の映像データを予測符号化を用いて効率的にデータ圧縮を行う。

【解決手段】 記録時メモリ制御回路13により、映像入力端子1～4に入力された映像データが時分割で混合された混合映像データVSM1rを、映像入力端子1～4毎に切り分けて対応するメモリ6～9に書き込む。また、メモリ6～9に書き込んだ混合映像データを、メモリ6～9から順番に、所定フレーム数分まとめて読み出す。そして、MPEG符号化回路11で、当該読み出した所定フレーム数分毎に、フレーム間の予測符号化を行う。



【特許請求の範囲】

【請求項 1】複数種の映像データが時分割で混合された混合映像データを圧縮する映像データ圧縮装置であって、

前記複数種の映像データ毎にフレームあるいはフィールドを単位とする画像間の予測符号化を行うことで、前記混合映像データを圧縮することを特徴とする映像データ圧縮装置。

【請求項 2】請求項 1 記載の映像データ圧縮装置であって、

前記混合映像データを記憶する第一の記憶手段と、前記記憶手段への前記混合映像データの書き込みおよび読み出しを制御する第一の制御手段と、前記混合映像データの画像間の予測符号化を行う予測符号化手段と、を備え、

前記第一の制御手段は、前記混合映像データを前記複数種の映像データ毎に切り分けて、前記第一の記憶手段に書き込むとともに、

前記第一の記憶手段に書き込まれた前記混合映像データを、前記複数種の映像データ毎に、複数画像分まとめて順次読み出すものであり、

前記予測符号化手段は、前記第一の記憶手段から複数画像分まとめて順次読み出された映像データの画像間の予測符号化を行うものであることを特徴とする映像データ圧縮装置。

【請求項 3】請求項 2 記載の映像データ圧縮装置であって、

前記予測符号化手段で予測符号化された混合映像データを復号する復号手段と、前記復号手段で復号された混合映像データを記憶する第二の記憶手段と、前記第一の記憶手段への前記復号された混合映像データの書き込みおよび読み出しを制御する第二の制御手段と、を備え、

前記第二の制御手段は、前記復号手段で復号された混合映像データを、前記第一の制御手段での読み出し順番にしたがい、前記複数種の映像データ毎に切り分けて、前記第二の記憶手段に書き込むとともに、

前記第二の記憶手段に書き込まれた前記混合映像データを、前記第一の制御手段での書き込み順番にしたがって読み出すことで、前記混合映像データの画像順番を元の順番に略復元するものであることを特徴とする映像データ圧縮装置。

【請求項 4】請求項 1 記載の映像データ圧縮装置であって、

前記混合映像データの画像間の予測符号化を行う予測符号化手段を備え、

前記混合映像データは、前記複数種の映像データが任意画像数分毎に順次切り替えられて混合されたものであり、

前記予測符号化手段は、前記任意画像数に前記複数種の映像データの数を乗算した値に、自然数を乗算した値の

画像数分離れた画像同士の予測符号化を行うものであることを特徴とする映像データの圧縮装置。

【請求項 5】請求項 4 記載の映像データ圧縮装置であって、

前記任意画像数に前記複数種の映像データの数を乗算した値に、自然数を乗算した値の画像数分離れた画像同士で復号を行うことで、前記予測符号化手段で予測符号化された混合映像データを復号する復号手段を備えたことを特徴とする映像データ圧縮装置。

【請求項 6】複数種の映像データを圧縮する映像データ圧縮装置であって、

フレームあるいはフィールドを単位とする画像の所定数分の映像データを、前記複数種の映像データから順次取得する映像データ取得手段と、

前記映像データ取得手段で順次取得した映像データの画像間の予測符号化を行うことで、前記混合映像データを圧縮する予測符号化手段と、

を備えていることを特徴とする映像データ圧縮装置。

【請求項 7】請求項 6 記載の映像データ圧縮装置であって、

前記映像データ取得手段は、前記複数種の映像データを記憶する第一の記憶手段と、前記第一の記憶手段への前記複数種の映像データの書き込みおよび読み出しを制御する第一の制御手段と、を備え、

前記第一の制御手段は、前記複数種の映像データ各々を、所定画像数間隔で切り出して、前記第一の記憶手段に書き込むとともに、

前記第一の記憶手段に書き込まれた前記複数種の映像データ毎に、複数画像分まとめて順次読み出すものであり、

前記予測符号化手段は、前記第一の記憶手段から複数画像分まとめて順次読み出された映像データの画像間の予測符号化を行うものであることを特徴とする映像データ圧縮装置。

【請求項 8】請求項 7 記載の映像データ圧縮装置であって、

前記予測符号化手段で予測符号化された前記複数種の映像データを復号する復号手段と、前記復号手段で復号された前記複数種の映像データを記憶する第二の記憶手段と、前記第一の記憶手段への前記複数種の映像データの書き込みおよび読み出しを制御する第二の制御手段と、を備え、

前記第二の制御手段は、前記復号手段で復号された前記複数種の映像データを、前記第一の制御手段での読み出し順番にしたがい、前記複数種の映像データ毎に切り分けて、前記第二の記憶手段に書き込むとともに、

前記第二の記憶手段に書き込まれた前記複数種の映像データを、前記第一の制御手段での書き込み順番にしたがって読み出すものであることを特徴とする映像データ圧縮装置。

【請求項 9】複数のカメラで得た映像を時分割で混合して混合映像データを生成する混合映像データ生成手段と、

前記混合映像データ生成手段で生成された混合映像データを記憶する第一の記憶手段と、

前記第一の記憶手段への前記混合映像データの書き込みおよび読み出しを制御する第一の制御手段と、

前記混合映像データのフレームあるいはフィールドを単位とした画像間の予測符号化を行う予測符号化手段と、

前記予測符号化手段で予測符号化された混合映像データを記録媒体に記録あるいは再生する記録再生手段と、

前記記録再生手段で再生された、前記予測符号化手段で予測符号化された混合映像データを復号する復号手段と、

前記復号手段で復号された混合映像データを記憶する第二の記憶手段と、

前記記憶手段への前記復号された混合映像データの書き込みおよび読み出しを制御する第二の制御手段と、を備え、

前記第一の制御手段は、前記混合映像データを前記複数のカメラ各々の映像データに切り分けて、前記第一の記憶手段に書き込むとともに、前記第一の記憶手段に書き込まれた前記混合映像データを、前記複数のカメラ各々の映像データ毎に、複数画像分まとめて順次読み出すものであり、

前記予測符号化手段は、前記第一の記憶手段から複数画像分まとめて順次読み出された映像の画像間の予測符号化を行うものであり、

前記第二の制御手段は、前記復号手段で復号された混合映像データを、前記第一の制御手段での読み出し順番にしたがい、前記複数のカメラ各々の映像データ毎に切り分けて、前記第二の記憶手段に書き込むとともに、前記第二の記憶手段に書き込まれた前記混合映像データを、前記第一の制御手段での書き込み順番にしたがって読み出すことで、前記混合映像データの画像順番を元の順番に略復元するものであることを特徴とする映像記録再生装置。

【請求項 10】複数のカメラで得た映像をフレームあるいはフィールドを単位とする任意の画像数分毎に順次切り替えて混合して混合映像データを生成する混合映像データ生成手段と、

前記混合映像データの画像間の予測符号化を行う予測符号化手段と、

前記予測符号化手段で予測符号化された混合映像データを記録媒体に記録あるいは再生する記録再生手段と、

前記記録再生手段で再生された、前記予測符号化手段で予測符号化された混合映像データを復号する復号手段と、を備え、

前記予測符号化手段は、前記任意画像数に前記複数のカメラの数を乗算した値に、自然数を乗算した値の画像数

分離れた画像同士の予測符号化を行うものであり、

前記復号手段は、前記任意画像数に前記複数の映像データの数を乗算した値に、自然数を乗算した値の画像数分離れた画像同士で復号を行うことで、前記予測符号化手段で予測符号化された混合映像データを復号するものであることを特徴とする映像記録再生装置。

【請求項 11】複数のカメラで得た映像データを記憶する第一の記憶手段と、前記第一の記憶手段への前記映像データの書き込みおよび読み出しを制御する第一の制御手段と、

前記映像データのフレームあるいはフィールドを単位とした画像間の予測符号化を行う予測符号化手段と、

前記予測符号化手段で予測符号化された映像データを記録媒体に記録あるいは再生する記録再生手段と、

前記記録再生手段で再生された、前記予測符号化手段で予測符号化された映像データを復号する復号手段と、

前記復号手段で復号された映像データを記憶する第二の記憶手段と、

前記記憶手段への前記復号された映像データの書き込みおよび読み出しを制御する第二の制御手段と、を備え、

前記第一の制御手段は、前記複数のカメラで得た映像データ各々を、所定画像数間隔で切り出して、前記第一の記憶手段に書き込むとともに、前記第一の記憶手段に書き込まれた前記複数のカメラの映像データ毎に、複数画像分まとめて順次読み出すものであり、

前記予測符号化手段は、前記第一の記憶手段から複数画像分まとめて順次読み出された映像データの画像間の予測符号化を行うものであり、

前記第二の制御手段は、前記復号手段で復号された映像データを、前記第一の制御手段での読み出し順番にしたがい、前記複数のカメラで得た映像データ毎に切り分けて、前記第二の記憶手段に書き込むとともに、前記第二の記憶手段に書き込まれた前記複数のカメラで得た映像データを、前記第一の制御手段での書き込み順番にしたがって読み出すものであることを特徴とする映像記録再生装置。

【請求項 12】複数の映像データが時分割で混合された混合映像データを圧縮する映像データの圧縮方法であって、

前記複数の映像データ毎にフレームあるいはフィールドを単位とする画像間の予測符号化を行うことで、前記混合映像データを圧縮することを特徴とする映像データの圧縮方法。

【請求項 13】複数の映像データを圧縮する映像データの圧縮方法であって、

フレームあるいはフィールドを単位とする画像の所定数分の映像データを、前記複数の映像データから順次取得し、当該取得した映像データの画像間の予測符号化を行うことで、前記複数の映像データを圧縮することを特徴とする映像データ圧縮方法。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は、映像情報の圧縮符号化装置に関するものであり、特に、監視システムなどの、複数のビデオカメラで得られた映像情報を順次切り換えて記録する映像記録装置に好適な圧縮符号化装置に関する。

【0002】

【従来の技術】従来より、複数のビデオカメラ（以下、単にカメラとも称する）で撮像した映像をスイッチャ部で切り替えて、長時間記録に対応したタイムラプスVTRに時分割で記録する監視システムが用いられている。

【0003】このような監視システムとして、特開昭64-65989号公報記載のものや、特公平5-73312号公報記載のものなどがある。

【0004】特開昭64-65989号公報記載のものでは、基準信号などを使って複数のカメラを同期化することで、映像信号切替時の不連続をなくすようにしている。

【0005】また、VTRの記録タイミングと、映像信号の切り替えタイミングとを同期化することで、動作が不安定になる期間を短くしている。これにより、結果的に映像切り替えの周期を短くすることができるので、時間的に密度の高い記録を可能にしている。

【0006】さらに、映像信号にカメラの識別信号を重畳して記録し、再生時に、その識別信号を検出することで、希望の映像のみを選択的にモニタすることができるようにしている。

【0007】特公平5-73312号公報記載のものでは、2系統の映像選択手段と2系統の映像信号同期化手段とを適当なタイミングで切り替えながら用いることで、外部同期がかけられないカメラや、同期化方式が異なるカメラが混在する監視システムにおいて、任意の複数の映像信号を同期化して切り替えるようにしている。

【0008】なお、複数のカメラで撮像した映像を時分割で切り替えて一つの混合映像信号として出力する装置は、一般にフレームスイッチャと呼ばれ、既に多くの製品がある。

【0009】ところで、近年、デジタルの画像データを記録したり再生したりデジタル映像記録再生装置が普及しつつある。

【0010】一般に、映像のデジタル記録では、情報量が増大して記録できる時間が短くなるのを防ぐため、画像データを圧縮して記録している。

【0011】画像データの圧縮方法としては、JPEG (Joint Photographic Experts Group) やMPEG (Moving Pictures Experts Group) 等の規格がある。

【0012】これらの圧縮技術に関しては多くの文献があるので、詳細の説明は省略するが、アルゴリズムのポイントのみを以下に簡単に説明する。

【0013】まず、JPEGについて説明する。

【0014】JPEGでは、画像を小ブロックに分割し、ブロック毎にDCT (Discrete Cosine Transfer) により2次元周波数成分に変換する。そして、変換後のデータを非線形量子化およびエントロピー符号化することで、データ量を削減する。

【0015】画像のフレーム内相関が高いと、上記の2次元周波数成分が集中するため、符号化効率が上がり、画質劣化を生じさせることなくデータ量を削減することができる。

【0016】しかしながら、細かい絵柄の画像では、フレーム内相関が小さくなるので、圧縮効率が低くなる。このため、JPEGで画質劣化がほとんど認められない圧縮率は数分の一～十分の一程度といわれている。

【0017】次に、MPEGについて説明する。

【0018】MPEGでは、上述したJPEGと同様の処理の他に、フレーム間の相関を利用してデータ量を削減している。すなわち、フレーム間の差分をとり、差分データに上記DCTなどの処理を行っている。これは、一般に、フレーム間予測符号化と呼ばれている。

【0019】MPEGを用いた場合、動きの少ない映像では、フレーム間の差分がほとんど生じないため、出力すべきデータ量が非常に小さくなる。

【0020】また、MPEGでは、フレーム間の動きベクトルを検出して動き補償を行うので、動きのある映像に対しても予測符号化の効率は非常に高くなる。

【0021】この結果、一般に、数十分の一の圧縮でも画質劣化がほとんど認められないといわれており、MPEG圧縮符号化を用いた記録再生装置では、JPEGを用いた場合よりも、同等の画質の映像データを、長時間記録することができる。

【0022】

【発明が解決しようとする課題】従来の監視システムでは、上述したように、アナログの映像信号を磁気テープ上に記録するタイムラプスVTRが主流であるが、上記説明したデジタル記録装置を用いて監視システムを構成することも可能である。

【0023】すなわち、カメラが1台の場合は、その出力映像信号をデジタル化し、その後、MPEG方式でデータ圧縮してデータ量を削減して、ディスクやテープ上に記録する。また、カメラが複数台の場合は、カメラ各々に対応させてMPEG圧縮符号化装置および記録再生装置を設け、カメラ各々の映像信号をデジタル記録する。

【0024】ところで、一般に、MPEG圧縮符号化装置は非常に高価である。これを複数台用いると非常に高価な監視システムになってしまう。したがって、システムの低価格化のためには、従来の監視システムのように、複数のカメラで得た映像信号を1台の圧縮符号化装置でデータ圧縮して、記録することが好ましい。

【0025】しかしながら、フレームスイッチャで作成された混合映像信号をデジタル化してMPEG圧縮しようとする以下に示す問題が生じる。

【0026】通常、異なるカメラで得られた映像に相関はない。したがって、異なるカメラで得られた映像間の差分データ量は、同一のカメラで得られた映像間の差分データ量よりも非常に大きくなる。

【0027】このため、時分割により複数のカメラの映像を頻りに切り替えると、フレーム間予測符号化の効果がなくなってしまう。映像データを効率的に圧縮して記録することができない。

【0028】本発明は上記事情に鑑みてなされたものであり、本発明の目的は、複数の映像データを、予測符号化を用いて効率的にデータ圧縮を行うことができる映像データ圧縮装置、映像記録再生装置、および映像データの圧縮符号化方法を提供することにある。

【0029】

【課題を解決するための手段】上記課題を解決するために、本発明の第一の態様は、複数種の映像データが時分割で混合された混合映像データを圧縮する映像データ圧縮装置であって、前記複数種の映像データ毎にフレームあるいはフィールドを単位とする画像間の予測符号化を行うことで、前記混合映像データを圧縮することを特徴とする。

【0030】たとえば、前記混合映像データを記憶する第一の記憶手段と、前記記憶手段への前記混合映像データの書き込みおよび読み出しを制御する第一の制御手段と、前記混合映像データの画像間の予測符号化を行う予測符号化手段と、を設ける。

【0031】そして、前記第一の制御手段に、前記混合映像データを前記複数種の映像データ毎に切り分けて、前記第一の記憶手段に書き込ませるとともに、前記第一の記憶手段に書き込まれた前記混合映像データを、前記複数種の映像データ毎に、複数画像分まとめて順次読み出させ、前記予測符号化手段に、前記第一の記憶手段から複数画像分まとめて順次読み出された映像データの画像間の予測符号化を行わせる。

【0032】また、たとえば、前記混合映像データが、前記複数種の映像データが任意画像数分毎に順次切り替えられて混合されたものである場合、前記混合映像データの画像間の予測符号化を行う予測符号化手段を設ける。そして、当該予測符号化手段に、前記任意画像数に前記複数種の映像データの数を乗算した値に、自然数を乗算した値の画像数分離れた画像同士の予測符号化を行わせる。

【0033】本発明の第一の態様によれば、複数の映像データが混合された混合映像データを、前記複数の映像データ毎に画像間の予測符号化を行って圧縮するので、当該混合映像データを効率よく圧縮することができる。

【0034】また、本発明の第二の態様は、複数種の映

像データを圧縮する映像データ圧縮装置であって、フレームあるいはフィールドを単位とする画像の所定数分の映像データを、前記複数種の映像データから順次取得する映像データ取得手段と、前記映像データ取得手段で順次取得した映像データの画像間の予測符号化を行うことで、前記混合映像データを圧縮する予測符号化手段と、を備えていることを特徴とする。

【0035】たとえば、前記映像データ取得手段に、前記複数種の映像データを記憶する第一の記憶手段と、前記第一の記憶手段への前記複数種の映像データの書き込みおよび読み出しを制御する第一の制御手段と、を設ける。

【0036】そして、前記第一の制御手段に、前記複数種の映像データ各々を、所定画像数間隔で切り出して、前記第一の記憶手段に書き込ませるとともに、前記第一の記憶手段に書き込まれた前記複数種の映像データ毎に、複数画像分まとめて順次読み出させ、前記予測符号化手段に、前記第一の記憶手段から複数画像分まとめて順次読み出された映像データの前記画像間の予測符号化を行わせる。

【0037】本発明の第二の態様によれば、複数種の映像データから画像の所定数分の映像データを順次取得し、当該取得した映像データの画像間の予測符号化を行なって圧縮するので、当該複数種の映像データを効率よく圧縮することができる。

【0038】

【発明の実施の形態】以下に、本発明の第一実施形態について、図面を参照して説明する。

【0039】図1は本発明の第一実施形態である映像データの記録再生装置の概略ブロック図である。

【0040】ここで、符号1～符号4は映像入力端子、符号5は同期化切替回路、符号6～符号9および符号16～19はメモリ、符号11はMPEG符号化回路、符号12はカメラコード判別回路、符号13は記録時メモリ制御回路、符号14は記録再生部、符号15はMPEG復号化回路、符号21は再生時メモリ制御回路、符号23はカメラコード付加回路、符号24は表示制御回路、符号25は映像出力端子、符号26はビデオデコーダ回路、そして符号27はビデオエンコーダ回路である。また、符号10は同期化切替回路5と表示制御回路24とでなるフレームスイッチャである。

【0041】映像入力端子1～4は、図示していないカメラから出力されたアナログの映像信号を入力する。

【0042】同期化切替回路5は、映像入力端子1～4に入力された4つのアナログ映像信号をデジタル変換するとともに、当該4つの映像信号を同期させながら順次切り替え、一つの混合映像信号として出力する。また、当該4つの映像信号を識別するためのカメラコードを、当該混合映像信号の対応する部分に付加する。

【0043】ビデオデコーダ回路26は、同期化切替回

路5から出力された混合映像信号を、MPEG符号化に合わせた画素数の輝度信号および色差信号からなる映像データVSMI_rに変換する。

【0044】カメラコード判別回路12は、同期化切替回路5から出力された混合映像信号からカメラコードを検出する。

【0045】メモリ(1R)6～メモリ(4R)9は、映像データVSMI_rの対応する部分を各々格納する。

【0046】記録時メモリ制御回路13は、カメラコード判別回路12で判別されたカメラコードにしたがって、ビデオデコーダ回路26から出力された映像データVSMI_rを格納するメモリを制御する。

【0047】本実施形態では、カメラコードにしたがい、映像データVSMI_rのうち、映像入力端子1に入力された映像信号に相当する部分をメモリ(1R)6に、映像入力端子2に入力された映像信号に相当する部分をメモリ(2R)7に、映像入力端子3に入力された映像信号に相当する部分をメモリ(3R)8に、そして、映像入力端子4に入力された映像信号に相当する部分をメモリ(4R)9に、各々格納するようにメモリ(1R)6～メモリ(4R)9を制御している。

【0048】また、記録時メモリ制御回路13は、メモリ(1R)6～メモリ(1R)9に順次アクセスして、各々に格納された任意フレーム数分の映像データVSMI_rをまとめて読み出す。

【0049】このようにすることで、ビデオデコーダ回路26から出力された映像データVSMI_rは、フレームの順番が入れ替わった映像データ、すなわち、映像入力端子1～4に入力された映像信号に相当する映像データ各々が、順次、任意フレーム数分ずつ連続して構成された映像データVSMO_rに変換される。

【0050】MPEG符号化回路11は、映像データVSMO_rをMPEG符号化し、MPEGビットストリームBS_rとして出力する。

【0051】この際、MPEG符号化回路11は、記録時メモリ制御回路13の指示にしたがって、ビットストリームBS_rに、当該ビットストリームBS_rに変換されたVSMO_rの元となる映像信号のカメラコード情報付加する。

【0052】記録再生部14は、MPEG符号化回路11から出力されたビットストリームBS_rを、ディスクやテープなど記録媒体に記録する。また、記録媒体に記録したビットストリームを再生し、当該再生したビットストリームBS_pを出力する。

【0053】MPEG復号化回路15は、記録再生部14で再生されたビットストリームBS_pを復号して、輝度信号および色差信号でなる映像データVSMI_pに変換する。また、当該ビットストリームBS_pに付加されたカメラコードを検出する。

【0054】メモリ(1P)16～メモリ(1P)19

は、MPEG復号化回路15から出力された映像データVSMI_pの対応する部分を各々記憶する。

【0055】再生時メモリ制御回路21は、MPEG復号化回路15で検出されたカメラコードにしたがって、MPEG復号化回路15から出力された映像データVSMI_pを格納するメモリを制御する。

【0056】本実施形態では、カメラコードにしたがい、MPEG復号化回路15で復号化されたVSMI_pのうち、映像入力端子1に入力された映像信号に相当する部分をメモリ(1P)16に、映像入力端子2に入力された映像信号に対応する部分をメモリ(2P)17に、映像入力端子3に入力された映像信号に対応する部分をメモリ(3P)18に、そして、映像入力端子4に入力された映像信号に対応する部分をメモリ(4P)19に、各々格納するようにメモリ(1P)16～メモリ(4P)19を制御している。

【0057】また、再生時メモリ制御回路21は、メモリ(1P)16～メモリ(4P)19に順次アクセスして、映像データVSMI_pをフレーム単位で順番に読み出す。このようにすることで、映像入力端子1～4の映像信号に相当する映像データがフレーム毎に順次切り替わって構成された映像データVSMO_pを生成する。

【0058】ビデオエンコーダ27は、映像データVSMO_pを複合映像信号に変換する。

【0059】カメラコード付加回路23は、再生時メモリ制御回路21の指示にしたがい、ビデオエンコーダ27で変換された複合映像信号の垂直ブランキング期間に、対応するカメラコードを付加する。

【0060】表示制御回路24は、従来のフレームスイッチャにおける再生処理と同様に、カメラコードを判別して希望するカメラの映像のみを選択的に表示するように、映像出力端子25から映像信号を出力する。

【0061】映像出力端子25は、図示していない映像を表示するモニタに接続される。

【0062】次に、図1に示す映像データの記録再生装置の各構成について更に詳細に説明する。

【0063】まず、同期化切替回路5について説明する。

【0064】図2は図1に示す同期化切替回路5の概略構成図である。

【0065】ここで、符号31は映像選択回路A、符号32は映像選択回路B、符号33は入力タイミング発生回路、符号34、35はA/Dコンバータ、符号36、37は切替スイッチ、符号38はFIFO(First In First Out)メモリA、符号39はFIFOメモリB、符号40は書き込み制御回路A、符号41は書き込み制御回路B、符号42は読み出し制御回路A、符号43は読み出し制御回路B、符号44は出力選択回路、符号45は基準タイミング発生回路、そして、符号47はカメラコード付加回路である。

【0066】映像選択回路A31は、基準タイミング発生回路45の制御信号SAにしたがって、入力端子1～4に各々入力されたアナログの映像信号VS1～VS4のうちのいずれか一つを選択する。

【0067】映像選択回路B39は、基準タイミング発生回路45の制御信号SBにしたがって、入力端子1～4に各々入力されたアナログの映像信号VS1～VS4のうちのいずれか一つを選択する。

【0068】A/Dコンバータ34は、映像選択回路A31で選択されたアナログの映像信号をデジタル変換する。

【0069】A/Dコンバータ35は、映像選択回路B32で選択されたアナログの映像信号をデジタル変換する。

【0070】FIFOメモリA38は、書き込み制御回路A40の制御信号MWAにしたがってA/Dコンバータ34から出力された映像信号を書き込むとともに、読み出し制御回路A42の制御信号MRAにしたがって、書き込んだ映像信号VQAを読み出す。

【0071】FIFOメモリB39は、書き込み制御回路B41の制御信号MWBにしたがってA/Dコンバータ35から出力された映像信号を書き込むとともに、読み出し制御回路B43の制御信号MRBにしたがって、書き込んだ映像信号VQBを読み出す。

【0072】出力選択回路44は、基準タイミング発生回路45の制御信号SQにしたがって、FIFOメモリA38から読み出された映像信号VQAおよびFIFOメモリB39から読み出された映像信号VQBのうちのいずれか一方を選択して出力する。

【0073】基準タイミング発生回路45は、たとえば内蔵の水晶発振子などを用いて、サブキャリア（色副搬送波）の4倍の周波数クロックである4fsckロックを生成する。そして、生成した4fsckロックを基に、各部へ供給する制御信号を生成する。

【0074】カメラコード付加回路47は、映像選択回路A31、映像選択回路B32、および出力選択回路44での映像選択情報に基づいてカメラコードを発生させ、出力選択回路44の出力映像信号VOの垂直ブランキング期間にカメラコードを付加する。

【0075】入力タイミング発生回路33は、入力端子1～4各々に入力された映像信号VS1～VS4から、水平同期信号および垂直同期信号を分離する。そして、分離した水平同期信号および垂直同期信号を基に映像信号の1フレームの開始タイミングおよび終了タイミングを生成する。また、映像信号VS1～VS4各々に対し、当該信号のサブキャリアに位相ロックした4fsckロックを発生させる。

【0076】なお、アナログ映像信号VS1～VS4各々について生成された、当該信号の1フレームの開始および終了タイミングと、4fsckロックとを、当該信

号の入力タイミングと呼ぶこととする。

【0077】切替スイッチ36は、基準タイミング発生回路45の制御信号SAにしたがって、入力タイミング発生回路33で生成された映像信号VS1～VS4各々の入力タイミングの中から、いずれか1つの入力タイミングを選択して出力する。

【0078】切替スイッチ37は、基準タイミング発生回路45の制御信号SBにしたがって、入力タイミング発生回路33で生成された映像信号VS1～VS4各々の入力タイミングの中から、いずれか1つの入力タイミングを選択して出力する。

【0079】書き込み制御回路A40は、基準タイミング発生回路45の制御信号と、切替スイッチ36から出力された入力タイミングとにしたがい、FIFOメモリA38が1フレーム分の映像信号を書き込むように制御信号MWAを発生する。また、A/Dコンバータ34に前記入力タイミングに含まれる4fsckロックを供給する。

【0080】書き込み制御回路B41は、基準タイミング発生回路45の制御信号と、切替スイッチ37から出力された入力タイミングとにしたがい、FIFOメモリB39が1フレーム分の映像信号を書き込むように制御信号MWBを発生する。また、A/Dコンバータ35に前記入力タイミングに含まれる4fsckロックを供給する。

【0081】読み出し制御回路A42は、基準タイミング発生回路45の制御信号にしたがい、FIFOメモリA38から映像信号を読み出すタイミングを特定する制御信号MRAを発生する。

【0082】読み出し制御回路B43は、基準タイミング発生回路45の制御信号にしたがい、FIFOメモリB39から映像信号を読み出すタイミングを特定する制御信号MRBを発生する。

【0083】次に、図2に示す同期化切替回路5の動作について説明する。

【0084】ここでは、入力端子1～4に各々入力される映像信号VS1～VS4が互いに非同期（垂直同期の位相がずれている）の場合の例について説明する。

【0085】図3は図2に示す同期化切替回路5の動作を説明するためのタイミング図である。

【0086】図3において、1-1～1-7は映像信号VS1の1フレーム分の期間、2-1～2-7は映像信号VS2の1フレーム分の期間、3-0～3-7は映像信号VS3の1フレーム分の期間、そして、4-1～4-7は映像信号VS4の1フレーム分の期間を、それぞれ示している。

【0087】基準タイミング発生回路45は、2フレーム分の期間毎に、映像信号VS1とVS3とを交互に選択する制御信号SAを生成する。

【0088】したがって、映像選択回路A31で選択さ

れた映像信号VSAは、図3に示すように、2フレーム分の期間毎に、映像信号VS1と映像信号VS3とが交互に切り替わる混合映像信号となる。

【0089】書き込み制御回路A40は、映像選択回路A31で選択された映像信号VSAが切り替わった後、最初のフレーム開始タイミングから当該フレームの終了タイミングの間の映像信号（1フレーム分の映像信号）に対応するデジタル映像データをFIFOメモリA38に書き込むように、制御信号MWAを生成する。

【0090】これにより、FIFOメモリA38には、1フレーム分の映像信号VS1と、1フレーム分の映像信号VS3とが交互に書き込まれる。

【0091】また、FIFOメモリA38は、読み出し制御回路A42の制御信号にしたがい、格納した1フレーム分の映像信号を読み出すことで、図3に示すように、1フレーム分の映像信号VS1と、1フレーム分の映像信号のVS3とが、各々2フレーム毎に交互に同期化された映像信号VQAを出力する。

【0092】以上の動作がB側の回路（映像選択回路32、A/Dコンバータ35、FIFOメモリB39、切替スイッチ37、書き込み制御回路B41、読み出し制御回路45）でも同様に行われる。

【0093】これにより、FIFOメモリB39から出力される映像信号VQBは、図3に示すように、1フレーム分の映像信号VS2と、1フレーム分の映像信号VS4とが、各々2フレーム毎に交互に同期化された信号となる。

【0094】基準タイミング発生回路45は、1フレーム分の期間毎に、選択するデジタル映像データVQA、VQBを切り替えるように制御信号SQを生成する。

【0095】これにより、出力選択回路44から出力される映像信号VOは、デジタル変換された映像信号VS1～VS4が同期化されて、1フレーム毎に順次切り替えられた混合映像信号となる。

【0096】その後、カメラコード付加回路47は、垂直ブランキング期間内の適当な部分に、当該ブランキング期間に続く混合映像信号が、映像信号VS1～VS4のいずれに相当するものであるかを示すカメラコードを付加する。

【0097】図4にカメラコードを付加した映像信号の例を示す。

【0098】図4は垂直ブランキング内の任意の1H（水平同期）期間の混合映像信号を示しており、符号51は水平同期信号、符号52はカラーバースト信号、A～Dの部分は情報信号である。

【0099】図のA～Dの部分をハイレベル（例えばBOIRE）、あるいはロウレベル（例えばOIRE）に設定することで、カメラの番号を示す4ビットの情報とすることができる。

【0100】本実施形態では、映像信号VS1のときは

4ビットの情報が「1」、映像信号VS2のときは「2」、映像信号VS3のときは「3」、そして映像信号VS4のときは「4」となるように、カメラコードを付加している。

【0101】以上に説明した同期化切替回路5の動作により、非同期の4つの映像信号を、同期化して、且つカメラコードを付加して、時分割で出力することができる。

【0102】次に、カメラコード判別回路12について説明する。

【0103】図5はカメラコード判別回路12の概略構成図である。

【0104】ここで、符号53はコンパレータ、符号54はラッチ回路、符号55は同期分離回路、そして、符号56はタイミング発生回路である。

【0105】同期分離回路55は、同期化切替回路5から出力された混合映像信号から、水平同期信号と垂直同期信号とを分離して、出力する。

【0106】タイミング発生回路56は、同期分離回路55から出力された水平同期信号および垂直同期信号を基に、カメラコードの情報信号（図4のA～Dの部分）の検出タイミングを生成する。

【0107】コンパレータ53は、同期化切替回路5から出力された混合映像信号を、スレショルドレベル（例えば50IRE）と比較することにより、当該信号がハイレベルであるか、あるいはロウレベルであるか判別する。判別された信号は、タイミング発生回路56で生成された検出タイミングでラッチされ、次のカメラコードをラッチするまでの約1フレーム期間、保持される。

【0108】次に、メモリ（1R）6～メモリ（4R）9について説明する。

【0109】メモリ（1R）6～メモリ（4R）9は、書き込みと読み出しとを同時に行うことができるFIFOメモリである。ライトリセット入力にしたがって書き込みアドレスをリセットし、ライトイネーブル入力が高い期間のみ、書き込みアドレスをインクリメントしながらデータを書き込む。

【0110】同様に、リードリセット入力にしたがって読み出しアドレスをリセットし、リードイネーブル入力が高い期間のみ、読み出しアドレスをインクリメントしながらデータを読み出す。

【0111】次に、記録時メモリ制御回路13について説明する。

【0112】図6は記録時メモリ制御回路13の概略構成図である。

【0113】ここで、符号61は60進カウンタ回路、符号62はデコーダ回路、符号63～符号66は一致検出回路、符号67はエッジ検出回路（DEG）群、そして、符号68はOR回路である。

【0114】60進カウンタ回路61は、CK端子に入力されたクロックの立ち上がりに同期してインクリメントする。

【0115】デコーダ回路62は、D端子に入力されたカウント値が所定値になったときに所定の出力端子をハイレベルにする。

【0116】本実施形態では、図6において、出力「Q_k (kは自然数)」は、D端子に入力されたカウント値が「k」のときにハイレベルを出力するようにしてある。たとえば、出力「Q₀」は、D端子に入力されたカウント値が「0」のときにハイレベルを出力する。

【0117】また、出力「Q_{k-1} (k、1は自然数)」は、D端子に入力されたカウント値がkになってから当該カウント値が1になる間、ハイレベルを出力するようにしてある。たとえば、出力「Q₅₁₋₅」は、D端子に入力されたカウント値が「51」になってから当該カウント値が「5」になる間、ハイレベルを出力する。

【0118】一致検出回路63～66は、2つの入力値が一致したときにハイレベルを出力する。

【0119】エッジ検出回路群67を構成するエッジ検出回路(DEG)各々は、入力パルスの立ち下がり1クロック期間のみハイレベルを出力する。

【0120】次に、図6に示す記録時メモリ制御回路13の動作について説明する。

【0121】まず、カウンタ回路61は、ビデオデコーダ回路26から出力された映像データVSM₁rのフレーム基準タイミング(FT)に同期してインクリメントする。そして、カウント値が59に達すると、次のインクリメントでリセットされる。これにより、60フレーム周期でメモリ制御のための基準カウント値を発生させる。

【0122】次に、デコーダ回路62は、カウンタ回路61で生成された基準カウント値が「0」、「15」、「30」、あるいは「45」になったときに、対応する出力端子「Q₀」、「Q₁₅」、「Q₃₀」、「Q₄₅」からハイレベルを出力する。

【0123】これらのデコード出力を受けたエッジ検出回路群67のエッジ検出回路は、当該デコード出力の立ち下がり1クロック期間のみハイレベルのパルスを出力する。このパルスは、ライトリセット信号(図6に示すMWR1R～MWR4R)としてメモリ(1R)6～メモリ(4R)9に供給される。

【0124】同様に、デコーダ回路62は、カウンタ回路61で生成された基準カウント値が「50」、「5」、「20」、あるいは「35」になったときに、対応する出力端子「Q₅₀」、「Q₅」、「Q₂₀」、「Q₃₅」からハイレベルを出力する。

【0125】これらのデコード出力を受けたエッジ検出回路群67のエッジ検出回路は、当該デコード出力の立

ち下がりの1クロック期間のみハイレベルのパルスを出力する。このパルスは、リードリセット信号(図6に示すMRR1R～MRR4R)としてメモリ(1R)6～メモリ(4R)9に供給される。

【0126】また、デコーダ回路62は、カウンタ回路61で生成された基準カウント値が「51」になってから、当該カウント値が「5」になるまで、出力端子「Q₅₁₋₅」からハイレベルのパルスを出力する。このパルスは、リードイネーブル信号(図6に示すMR1R)としてメモリ(1R)6に供給される。

【0127】同様に、デコーダ回路62は、カウンタ回路61で生成された基準カウント値が「6」になってから当該カウント値が「20」になるまで、「21」になってから当該カウント値が「35」になるまで、そして、「36」になってから当該カウント値が「50」になるまで、それぞれ対応する出力端子「Q₆₋₂₀」、「Q₂₁₋₃₅」、「Q₃₆₋₅₀」からハイレベルのパルスを出力する。このパルスは、リードイネーブル信号(図6に示すMR2R～MR4R)として、メモリ(2R)7～メモリ(4R)9に供給される。

【0128】一方、一致回路63は、カメラコード判別回路12で判別されたカメラコードCCODEが「1」の場合のみ、出力をハイレベルにする。この一致回路63の出力は、ライトイネーブル信号(図6に示すMW1R)としてメモリ(1R)6に供給される。

【0129】一致回路64は、カメラコード判別回路12で判別されたCCODEが「2」の場合のみ、出力をハイレベルにする。この一致回路64の出力は、ライトイネーブル信号(図6に示すMW2R)としてメモリ(2R)7に供給される。

【0130】一致回路65は、カメラコード判別回路12で判別されたCCODEが「3」の場合のみ、出力をハイレベルにする。この一致回路65の出力は、ライトイネーブル信号(図6に示すMW3R)としてメモリ(3R)8に供給される。

【0131】一致回路66は、カメラコード判別回路12で判別されたCCODEが「4」の場合のみ、出力をハイレベルにする。この一致回路66の出力は、ライトイネーブル信号(図6に示すMW4R)としてメモリ(4R)9に供給される。

【0132】上記説明した記録時メモリ制御回路13の動作をタイミング図で示すと、図7および図8のようになる。

【0133】図7は、60進カウンタ61のカウント値が0～20になるまでの期間、すなわち約21フレーム分の期間における各部の波形を示している。

【0134】ここで、「容量領域1」はメモリ(1R)6の複数の容量アドレスを代表値で表したものであり、各領域には1フレーム分の映像データが記憶できるものとする。

【0135】したがって、「書き込み領域1」の値は、1フレーム分の映像データを書き込む毎に1つずつインクリメントされ、書き込みリセット信号MWR1Rにより0にリセットされる。

【0136】同様に、「書き込み領域2」、「書き込み領域3」、「書き込み領域4」は、それぞれメモリ(2R)7、メモリ(3R)8、メモリ(4R)9の複数の書き込みアドレスを代表値で表したものである。

【0137】図7に示すように、カメラコードCCODEは、4フレーム周期で変化するので、ライトイネーブル信号MW1R~MW4Rは、4フレームに1回の割合でハイになる。

【0138】60進カウンタ61の値CT60が、0から1に変わるタイミングにおいて、メモリ(1R)6のライトリセット信号MWR1Rがハイになり、書き込みアドレスがリセットされる。

【0139】そして、次のフレーム期間(CT60が1の期間)に、映像データVSM1rの「1-1」部分(映像信号VS1の1フレーム分に相当)が、メモリ(1R)6の領域0に書き込まれる。

【0140】以後、メモリ(1R)6には、4フレーム毎に、映像データVSM1rから映像信号VS1の1フレームに相当する信号が書き込まれる。

【0141】一方、メモリ(2R)7のライトリセット信号MWR2Rは、CT60が15から16に変わるタイミングでハイになり、メモリ(2R)7の書き込みアドレスがリセットされる。

【0142】そして、次のフレーム期間(CT60が18の期間)に映像データVSM1rの「2-18」部分(映像信号VS2の1フレーム分に相当)が、メモリ(2R)7の領域0に書き込まれる。

【0143】以後、メモリ(2R)7には、4フレーム毎に、映像データVSM1rから映像信号VS2の1フレームに相当する信号が書き込まれる。

【0144】メモリ(3R)8、メモリ(4R)9のライトリセット信号MWR3R、MWR4Rは、さらに15フレームずつずれたタイミングでハイになる。

【0145】そして、上記と同様の要領で、メモリ(3R)8では映像信号VS3の1フレームに相当する映像データが、そしてメモリ(4R)9では映像信号VS4の1フレームに相当する映像データが、それぞれ4フレーム毎に、領域0から順番に書き込まれる。

【0146】図8は、60進カウンタ61が3周弱回る期間、すなわち約170フレーム分の期間における各部の波形を示している。

【0147】なお、ここでは、図が煩雑になるのを防ぐため、VSM1rおよびCCODEを省略してある。また、60進カウンタ61のカウント値CT60は、アナログ値で図示した。

【0148】CT60が「50」から「51」に変わる

タイミングにおいて、メモリ(1R)6のリードリセット信号MRR1Rがハイになり(図示は省略)、読み出しアドレスがリセットされる。

【0149】そして、次の15フレーム期間(CT60が「51」になってから「5」になるまでの期間)、リードイネーブル信号MR1Rがハイになり、これにより、メモリ1R(6)に書き込まれたデータが領域0から15まで順次読み出される。

【0150】データ読み出し期間中も、4フレーム周期で断続的に書き込みが行われるが、ライトリセット信号MWR1Rとリードリセット信号MRR1Rの時間差を適切に(ここでは、50フレーム分)とってあるので、読み出しアドレスが書き込みアドレスを追い越すことはない。すなわち、一回の読み出し期間(15フレーム)内に新しいデータと古いデータとが混在することはない。

【0151】メモリ(2R)7~メモリ(4R)9の動作に関しては、図8に示すように、ライトリセット信号、リードリセット信号およびリードイネーブル信号のタイミングがほぼ15フレームずつずれている点を除いて、メモリ1R(6)の動作とほぼ同様である。

【0152】各々のメモリ(1R)6~メモリ(4R)9の出力イネーブル信号は、リードイネーブル信号と接続されており、リードイネーブル信号がロウの場合、出力がハイインピーダンスになるように制御されている。

【0153】したがって、映像データVSMOrは、図8に示すように、15フレーム分毎に、メモリ(1R)6~メモリ(4R)9から順次まとめて出力される。

【0154】以上に説明した記録時メモリ制御回路13の動作により、ビデオデコーダ回路26から出力された、フレーム単位で順次時分割された映像信号VS1~VS4の映像データVSM1rを、15フレーム単位で順次時分割された映像信号VS1~VS4の映像データVSMOrに変換することができる。

【0155】次に、MPEG符号化回路11について説明する。

【0156】図9は、図1に示すMPEG符号化回路11の概略構成図である。

【0157】ここで、符号71は画像順並び変え回路、符号72は減算回路、符号73および符号83は切替回路、符号74はDCT(Discrete Cosine Transfer)変換回路、符号75は量子化回路、符号76は可変長符号化回路、符号77はバッファメモリ、符号78は逆量子化回路、符号79は逆DCT変換回路、符号80は加算回路、符号81は画像メモリ、符号82は動き補償回路、符号84は画像タイプ決定回路、符号85は情報量制御回路、符号86はカメラコード発生回路、そして、符号87はビデオ多重符号化回路である。

【0158】MPEG符号化では、フレーム間予測符号化を行わないI(Intra-coded)ピクチャ、前方向フレーム間予測符号化を行うP(Predictive-coded)ピクチャ

ヤ、および前後両方向フレーム間予測符号化を行うB (Bidirectionally predictive-coded) ビクチャの三種類の符号化を、周期的に繰り返す。

【0159】画像タイプ決定回路84は、これらの画像タイプに応じた処理が周期的に行われるように管理するカウンタ回路である。記録時メモリ制御回路13からのRES信号(図6において、OR回路68から出力される信号)によりリセットされ、GOP(Group of Pictures)を周期として、上記各ビクチャに対応した制御信号を各部に送出する。

【0160】画像順並び替え回路71は、画像タイプ決定回路84から出力された制御信号にしたがって、映像データVSMORの画面順序を並べ替える。

【0161】切替回路73は、フレーム内符号化とフレーム間符号化とに対応して入力映像データと差分データとを選択するものであり、画像タイプ決定回路84からの制御信号SWCTLに応じて切り替えられる。

【0162】切り替えられた映像データはDCT変換回路74において8画素×8ラインのブロック単位で空間周波数領域に変換され、量子化回路75で量子化マトリクスとの演算により量子化される。

【0163】量子化回路75で量子化されたデータは、可変長符号化回路76において、動き補償回路82からの動きベクトルや符号化モード情報とともに可変長符号化され、バッファ77で蓄積された後、ビデオ多重符号化回路87に出力される。

【0164】情報量制御回路85は、バッファメモリ77内のデータ量に応じた量子化スケールを設定して、量子化回路75および逆量子化回路78に送出する。

【0165】また、量子化回路75で量子化されたデータは、逆量子化回路78、逆DCT変換回路79で局部復号化され、画像メモリ81に記憶される。ただし、Bビクチャは参照画像として用いないので画像メモリ81に書き込まない。

【0166】このような書き込み制御は、画像タイプ決定回路84からの制御信号にしたがって行われる。

【0167】切替回路83は、フレーム内復号化とフレーム間復号化を選択するための切替回路で、画像タイプ決定回路84からの制御信号に応じて切り替えられる。

【0168】動き補償回路82は、画像順並び替え回路71からの映像データを基に入力映像の動きベクトルを検出し、画像メモリ81の映像データに対して動き補償を行う。このとき、動き補償回路82は前方向、後方向及び両方向の動き補償のうち最適な補償を選択して行い、またフレーム間の相関が非常に小さいと判断した場合には「0」を出力する。

【0169】なお、Pビクチャでは、前方向の動き補償のみにするなど、画像タイプにより処理を切り替えるが、この切り替えは画像タイプ決定回路84からの制御信号にしたがって行われる。

【0170】カメラコード発生回路86は、記録時メモリ制御回路13から出力されるリードイネーブル信号(図6に示すMR1R~MR4R)に応じて、対応するカメラコードを発生する。

【0171】たとえば、リードイネーブル信号MR1Rがハイのときは、図8のタイミング図から明らかなように、入力端子1に入力された映像信号VS1に対応する映像データが、映像データVSMORとして出力されているので、「1」に相当するカメラコードを発生する。

【0172】このカメラコードは、ビデオ多重符号化回路87においてMPEG規格で規定されているGOP層のユーザデータとして付加され、バッファ77からの映像符号化データとともにMPEGビットストリームBSRとして出力される。

【0173】図10は、図9に示すMPEG符号化回路の動作を示すタイミング図である。

【0174】ここで、図7に示す記録時メモリ制御回路13の動作とのタイミング関係を明確にするために、60進カウンタ61のカウント値CT60、メモリ(1R)6のリードイネーブル信号MR1R、映像データVSMOR、およびRES信号を示している。

【0175】図10において、GCTは画像タイプ決定回路84内部のカウンタのカウント値、PTYPE1は映像データVSMORの画像タイプ、PTYPE2は図2に示す画像順並び替え回路71の出力映像信号VSMOAの画像タイプを示している。

【0176】GCTはRES信号でリセットされるまで、1フレーム毎にインクリメントする。

【0177】RES信号は、図7から分かるように、15フレーム周期でハイになるので、GCTは15フレーム周期でカウント値が変化する。

【0178】図10のPTYPE1で示すように、画像タイプ決定回路84は、GCT=0のときの映像データVSMOR(1フレーム分の映像データ)が1ビクチャとして符号化されるように各部に制御信号を送る。

【0179】同様に、GCT=1、2ときはBビクチャ、GCT=3ではPビクチャとなるようにする。

【0180】画像順並び替え回路71は、Bビクチャの双方向予測符号化を可能にするために、図10に示すように、Bビクチャが、予測に使われるI、Pビクチャよりも後になるように画像の順序を入れ替える。

【0181】この結果、画像順並び替え回路71の出力映像信号VSMOAのフレーム処理順序は、図10に示すVSAのようになる。フレーム「1-1」や「2-2」はIビクチャとして符号化されるので、画像タイプ決定回路84の制御信号SWCTLをハイにして、切替回路72、83がB側を選択するようにする。これにより、これらの画像を処理するときはフレーム間予測が行われない。

【0182】上記説明したMPEG符号化回路11で

は、一つのカメラで得られた映像信号に対応する映像データ（例えば図10に示すVSMOr「1-1」～「1-57」）のみでGOPを構成する。

【0183】他のGOPの映像データは別のカメラで得られた映像信号に対応するものであり、フレーム間予測を行っても効果はないので、他のGOPとのフレーム間予測は行わないように、すなわちクローズドGOPとする。

【0184】なお、本実施形態では、15フレームでGOPを構成し、Pピクチャの間隔は3フレーム間隔としたが、これらの設定は一例にすぎず、他の設定でもよい。ただし、図6に示すカウンタ61の最大カウント値は、GOP周期の4（カメラの数に相当）倍になるように構成する必要がある。

【0185】次に、記録再生部14について説明する。

【0186】記録再生部14は、たとえば、VHS（Video Home System）規格の機構系を基本としてデジタル信号を記録再生できるようにしたD-VHS（Digital-Video Home System）規格のVTRなどを用いることができる。あるいは、光ディスクやハードディスクなどのディスク媒体に記録する装置であってもよい。これらは、記録時間、コスト、信頼性等の条件から最適なものを選べばよい。

【0187】理想的には、記録されるビットストリームBSrと再生されるビットストリームBSpとが等しいことが望まれる。

【0188】次に、MPEG復号化回路15について説明する。

【0189】図11は図1に示すMPEG復号化回路15の概略構成図である。

【0190】ここで、符号91は加算回路、符号92は逆DCT変換回路、符号93は逆量子化回路、符号94は可変長復号化回路、符号95はバッファメモリ、符号96はビデオ多重復号化回路、符号97は画像メモリ、符号98は動き補償回路、符号99は遅延保持回路、そして符号100は画像順並び変え回路である。

【0191】記録再生部14で再生されたMPEGビットストリームBSpはバッファメモリ95に一時蓄積され、その後、ビデオ多重復号化回路96に出力される。

【0192】ビデオ多重復号化回路96は、ビットストリームBSpから映像符号化データと各種コードを分離する。そして、映像符号化データを可変長復号化回路94へ出力するとともに、各種コードを基に必要な制御信号を発生して各部へ送出する。

【0193】また、ビデオ多重復号化回路96は、GOP層のユーザデータとして挿入されたカメラコードを検出し、遅延・保持回路99に出力する。

【0194】遅延・保持回路99は、カメラコードを映像信号の復号に要する時間分だけ遅延させ、画像順並び変え回路100からの出力に同期させる。また、1GOP

P期間、その値（本実施形態では、15フレーム期間）保持して、再生時メモリ制御回路21へ出力する。

【0195】ビデオ多重復号化回路96で分離された映像符号化データには、基本的に、MPEG符号化回路11での符号化処理と逆の処理が施される。この処理は通常のMPEG復号の動作と変わらないので、動作の概要のみ簡単に説明する。

【0196】すなわち、可変長復号化回路94で、マクロブロック符号化情報が復号されて、符号化モード、動きベクトル、量子化情報および量子化DCT係数が分離される。

【0197】復号された8×8の量子化DCT係数は、逆量子化回路93でDCT係数に復元され、その後、逆DCT回路92により映像データに変換される。

【0198】なお、イントラ符号化モードの場合はそのまま出力される。

【0199】また、動き補償予測モードの場合は、動き補償予測されたブロックデータが加算回路91にて加算される。

【0200】1、Pピクチャについては、その後の復号処理で参照画面として用いる必要があるため、画像メモリ97に書き込まれる。

【0201】最後に、画像順並び変え回路100において、MPEG符号化回路11での符号化処理で、最初に行われたフレーム順の並び変えと逆の並び変えが行われ、元のフレーム順序、すなわちMPEG符号化回路11に入力された映像データVSMOrと同じフレーム順番の映像データVSMIpを生成する。

【0202】次に、メモリ（1P）16～メモリ（4P）19について説明する。

【0203】メモリ（1P）16～メモリ（4P）19は、メモリ（1R）6～メモリ（4R）9と同様に、FIFOメモリで構成されており、再生時メモリ制御回路21が発生するリトリセット信号、ライトイネーブル信号、リードリセット信号及びリードイネーブル信号によって制御される。

【0204】これにより、MPEG復号化された映像データは、フレーム単位で順序が入れ替えられて、メモリ（1P）16～メモリ（4P）19に書き込まれる。

【0205】この順序入れ替えは、映像データVSMIrのメモリ（1R）6～メモリ（4R）9への書き込み及び読み出し順序と逆の処理を行うものである。

【0206】次に、再生時メモリ制御回路21について説明する。

【0207】図12は図1に示す再生時メモリ制御回路21の概略構成図である。

【0208】ここで、符号101～符号104は一致検出回路、符号105～符号108は立ち上がり検出回路、符号109～符号112は遅延回路、符号113は4進カウンタ、そして、符号114はデコーダ回路であ

る。

【0209】一致回路101は、図11に示す遅延・保持回路99から出力されたカメラコード(CCODE_p)が「1」のときにハイレベルを出力する。その出力は、ライトイネーブル信号(MW1P)としてメモリ(1P)16に入力される。

【0210】一致回路102は、遅延・保持回路99から出力されたカメラコードCCODE_pが「2」のときにハイレベルを出力する。その出力は、ライトイネーブル信号MW2Pとしてメモリ(2P)17に入力される。

【0211】一致回路103は、遅延・保持回路99から出力されたカメラコードCCODE_pが「3」のときにハイレベルを出力する。その出力は、ライトイネーブル信号MW3Pとしてメモリ(3P)18に入力される。

【0212】一致回路104は、遅延・保持回路99から出力されたカメラコードCCODE_pが「4」のときにハイレベルを出力する。その出力は、ライトイネーブル信号MW4Pとしてメモリ(4P)19に入力される。

【0213】立ち上がり検出回路105はライトイネーブル信号MW1Pの立ち上がりの1クロック期間のみハイレベルにする。その出力は、ライトリセット信号MWR1Pとしてメモリ(1P)16に入力される。

【0214】立ち上がり検出回路106はライトイネーブル信号MW2Pの立ち上がりの1クロック期間のみハイレベルにする。その出力は、ライトリセット信号MWR2Pとしてメモリ(2P)17に入力される。

【0215】立ち上がり検出回路107はライトイネーブル信号MW3Pの立ち上がりの1クロック期間のみハイレベルにする。その出力は、ライトリセット信号MWR3Pとしてメモリ(3P)18に入力される。

【0216】立ち上がり検出回路108はライトイネーブル信号MW4Pの立ち上がりの1クロック期間のみハイレベルにする。その出力は、ライトリセット信号MWR4Pとしてメモリ(4P)19に入力される。

【0217】遅延回路109は、ライトリセット信号MWR1Pを1フレーム分遅延させる。その出力はリードリセット信号MRR1Pとしてメモリ(1P)16に入力される。

【0218】遅延回路110は、ライトリセット信号MWR2Pを1フレーム分遅延させる。その出力はリードリセット信号MRR2Pとしてメモリ(2P)17に入力される。

【0219】遅延回路111は、ライトリセット信号MWR3Pを1フレーム分遅延させる。その出力はリードリセット信号MRR3Pとしてメモリ(3P)18に入力される。

【0220】遅延回路112は、ライトリセット信号M

WR4Pを1フレーム分遅延させる。その出力はリードリセット信号MRR4Pとしてメモリ(4P)19に入力される。

【0221】4進カウンタ113は、映像データVSM1pのフレーム基準タイミングFTpにしたがってカウント値を1ずつインクリメントする。

【0222】デコーダ回路114は、4進カウンタ113のカウント値が「0」、「1」、「2」、「3」になったときに、それぞれ出力端子「Q0」、「Q1」、「Q2」、「Q3」をハイレベルにする。出力端子「Q0」～「Q3」から出力されるハイレベルの信号は、それぞれメモリ(1P)16～メモリ(4P)19のリードイネーブル信号MR1P～MR4Pとなる。

【0223】次に、上記構成の再生時メモリ制御回路21による、映像データVSM1pのメモリ(1P)16～メモリ(4P)19への書き込み動作および読み出し動作について説明する。

【0224】図13は再生時メモリ制御回路21による映像データVSM1pのメモリ(1P)16～メモリ(4P)19への書き込み動作を説明するためのタイミング図である。

【0225】メモリ(1P)16～メモリ(4P)19に入力される映像データVSM1pは、図13に示すように、入力端子1～4に入力された映像信号VS1～VS4に対応する映像データが、15フレーム毎に順次切り替わった構成となっている。また、カメラコードCCODE_pは、映像信号VS1～VS4に対応した番号となっている。

【0226】まず、メモリ(1P)16への書き込みの動作および読み出し動作について説明する。

【0227】ライトイネーブル信号MW1Pは、カメラコードCCODE_pが値「1」を保持している期間、15フレーム分の期間中、ハイレベルとなる。

【0228】ライトリセット信号MWR1Pは、ライトイネーブル信号MW1Pの立ち上がりエッジ部分でハイとなるので、映像信号VS1のフレーム「1-1」からフレーム「1-57」までの15フレーム分に相当する映像データVSM1pが連続してメモリ(1P)16に書き込まれることになる。

【0229】なお、図13中の、ライトイネーブル信号MW1Pにおける括弧内の数字は、書き込みが行われるメモリ領域を示している。

【0230】リードリセット信号MRR1Pは、ライトリセット信号MWR1Pの1フレーム後にハイレベルとなる。

【0231】リードイネーブル信号MR1Pは、4フレーム周期で1フレーム期間だけハイレベルになるので、上記書き込み動作によりメモリ(1P)16に書き込まれた映像データVSM1pが、4フレーム周期で間欠的に読み出される。

【0232】なお、図13中の、リードイネーブル信号MR1Pにおける括弧内の数字は、読み出しが行われたメモリ領域を示している。

【0233】この結果、メモリ(1P)16～メモリ(4P)19から出力される映像データVSMOpは、図13に示すように、最初の十数フレーム期間は、4フレーム周期で入力端子1に入力された映像信号VS1に対応する映像データのみが出力される。

【0234】次に、メモリ(2P)17への書き込み動作および読み出し動作について説明する。

【0235】ライトリセット信号MWR2Pおよびライトイネーブル信号MW2Pは、メモリ(1P)16に対するライトリセット信号MWR1P、ライトイネーブル信号MW1Pより15フレーム遅れて発生する。

【0236】このため、メモリ(1P)16に対する書き込みから、15フレーム遅れて、映像信号VS2のフレーム「2-2」からフレーム「2-58」までの15フレーム分に相当する映像データVSMIpが、連続してメモリ(2P)17に書き込まれることになる。

【0237】また、リードリセット信号MRR2Pが、ライトリセット信号MWR2Pから1フレーム期間遅れてハイレベルになり、その後のリードイネーブル信号MR2Pがハイレベルの期間中に、上記書き込み動作で書き込まれた、入力端子2に入力された映像信号VS2に対応する映像データが、4フレーム周期で読み出される。

【0238】なお、図13において、メモリ(3P)18およびメモリ(4P)19の書き込みおよび読み出し動作については、リードイネーブル信号MR3P、MR4Pを示しているのみであるが、約15フレームずつ遅れて、上記説明したメモリ(1P)16およびメモリ(2P)17の場合と同様の動作を行う。

【0239】以上に説明した再生時メモリ制御回路21の動作により、MPEG復号化回路15から出力された、15フレーム単位で順次時分割された映像信号VS1～VS4の映像データVSMIpを、ビデオデコーダ回路26から出力された映像データVSMIrと略同じフレーム順番のVSMOpに変換することができる。

【0240】なお、図13に示す映像データVSMOpにおいて、映像データ番号がない部分は、メモリへの最初の書き込みが行われる前に、当該メモリのリードイネーブル信号(MR2Pなど)がハイになって読み出された無効データである。この無効データ部分は、カメラコード付加回路23でカメラコードが付加されず、表示制御回路24でモニタ出力に表われないように処理される。

【0241】ところで、上記の再生時メモリ制御回路21では、復元された映像データVSMOpのフレーム順番が、ビデオデコーダ回路26から出力された映像データVSMIrのフレーム順番と多少ずれることになる

が、使用上問題となる程度のものではない。ビデオデコーダ回路26から出力された映像データVSMIrのフレーム順番と全く同じフレーム順番に復元するためには、たとえば映像データVSMOpをメモリなどに格納して、各映像入力端子VS1～VS4に入力した映像信号に相当する映像データの出力タイミングを調節してやればよい。

【0242】次に、表示制御回路24について説明する。

【0243】図14は図1に示す表示制御回路24の概略構成図である。

【0244】ここで、符号121は映像信号入力端子、符号122はA/Dコンバータ、符号123はビデオデコーダ、符号124はメモリ、符号125はビデオエンコーダ、符号126はD/Aコンバータ、符号127はカメラコード分離回路、符号128はメモリ制御回路、そして符号129は映像信号端子である。

【0245】メモリ(1P)16～メモリ(4P)19から読み出された映像データVSMOpは、ビデオエンコーダ回路27で復号映像信号に変換された後、映像信号入力端子121に入力される。

【0246】A/Dコンバータ122は、映像信号入力端子121に入力された復号映像信号を、デジタル変換する。

【0247】ビデオデコーダ123は、A/Dコンバータ122でデジタル変換された復号映像信号を、輝度信号データと色差信号データとに分離する。

【0248】カメラコード分離回路127は、復号映像信号の垂直同期部分に挿入されているカメラコードを分離して、メモリ制御回路128に送出する。

【0249】メモリ制御回路128は、送られてくるカメラコードを基に、指定されたカメラ番号で特定される映像信号の輝度信号データおよび色差信号データのみをメモリ124に書き込むように制御信号を発生する。

【0250】また、読み出しは連続で行うように制御信号を発生する。

【0251】ビデオエンコーダ125は、メモリ124から読み出された輝度信号データおよび色差信号データをデジタルの復号映像信号に変換する。

【0252】D/Aコンバータ129は、ビデオエンコーダ125で変換したデジタル復号映像信号をアナログの復号映像信号に変換する。

【0253】そして、映像信号出力端子129から出力されて、図示していないモニタに入力される。

【0254】以上の動作により、操作者が望むカメラ番号の映像のみをモニタすることができる。あるいは、メモリ124への書き込み時に映像を水平・垂直に間引きをし、4つに分割したメモリ領域に各カメラの映像データを順次書き込むことにより、4台のカメラ映像を4分割で一度にモニタすることもできる。これらの表示制御

回路24の動作は従来のフレームスイッチャの再生処理と同じなので、詳細の説明は省略する。

【0255】上記の第一実施形態では、同期化切替回路5により、4台のビデオカメラで得た映像信号VS1～VS4がフレーム毎に順次切り替えられて生成された混合映像信号VOを、記録時メモリ制御回路13により、映像信号VS1～VS4毎に、対応するメモリ(1R)6～メモリ(4R)9に、複数フレーム(ここで、15フレーム)分まとめて記憶させている。

【0256】そして、メモリ(1R)6～メモリ(4R)9に記憶した複数フレーム分の映像信号を、順次まとめて読み出して、MPEG符号化回路11でMPEG符号化を行っている。

【0257】すなわち、映像信号VS1～VS4は4フレーム間隔毎に間引きされながらメモリ(1R)16～メモリ(4R)19に書き込まれ、書き込まれた映像データは15フレーム分連続して読み出され、1画像グループ(GOP)が構成される。

【0258】そして、この画像グループ内の画像データはフレーム間予測を用いてMPEG圧縮処理される。

【0259】したがって、MPEG符号化回路11に入力される映像信号のフレーム間の相関が高くなるので、一つの映像を圧縮符号化する場合と同様に、小さな画質劣化で大きなデータ圧縮効率を得られる。

【0260】すなわち、第一実施形態によれば、4台のビデオカメラで得た映像信号VS1～VS4がフレーム毎に順次切り替えられて生成された混合映像信号のデータを1つのMPEG符号化回路11を用いて効率よく符号化することができるので、これにより、低価格の映像データ圧縮符号化装置または圧縮符号化回路を内蔵した低価格の映像データ記録再生装置を提供することができる。

【0261】また、第一実施形態では、同期化切替回路5や表示制御回路24として、従来のタイムラプスVTR用のフレームスイッチャをそのまま使うことができる。同期化切替回路5の機能により、4台のカメラの同期をとる必要はない。

【0262】なお、第一実施形態では、1GOPを15フレーム($n=15$)としたが、本発明はこの値に限定されるものではない。また、カメラの数も4台($m=4$)に限定するものではない。上記の m 、 n が他の値の場合には、図6に示す60進カウンタ61を($m \times n$)進カウンタにし、デコーダ回路62のデコード値を適当な値に設定することで対応できる。

【0263】また、第一実施形態では、同期化切替回路5で生成された混合映像データを圧縮するものについて説明したが、同期化切替回路5は別段設けなくてもよい。

【0264】たとえば、映像入力端子1～4に入力された映像信号各々をビデオデコーダでデコードした後、所

定フレーム数分の映像を、前記映像信号各々から順次取得して、対応するメモリ6～9に格納するようにしてもよい。各々の映像に対して、1フレーム分の映像データをメモリ6～9に格納する(すなわち、書き込み動作を行う)周期を4フレーム周期とすれば、メモリ6～9に格納される映像データは第一実施形態と同一になるので、メモリ6～9読み出し制御以降の動作を第一実施形態と同一にすることにより、第一実施形態と同じ効果が得られる。

【0265】次に、本発明の第二実施形態について説明する。

【0266】図15は本発明の第二実施形態である映像データの記録再生装置の概略ブロック図である。

【0267】図15に示す映像データの記録再生装置が図1に示す本発明の第一実施形態の装置と異なる点は、メモリ(1R)6～メモリ(4R)9、メモリ(1P)16～メモリ(4P)19を設けていないこと、および、MPEG符号化回路11、MPEG復号化回路15に代えてMPEG符号化回路131、MPEG復号化回路132を各々設けたことである。

【0268】その他の構成は、図1に示す映像データの記録再生装置と同じである。そこで、その他の構成については、図1に示すものと同じ番号を付すことで、その詳細な説明を省略する。

【0269】まず、MPEG符号化回路131について説明する。

【0270】図16はMPEG符号化回路131の概略構成図である。

【0271】ここで、符号143は4フレーム周期で画像タイプを切り替える画像タイプ決定回路、符号141は画像タイプ決定回路143で決定された画像タイプにしたがい、4フレーム単位でフレーム順を並べ変える画像順並び替え回路、符号142は画像タイプ決定回路143で決定された画像タイプにしたがい、4フレーム単位で映像データを記憶する画像メモリ回路、符号144は遅延回路である。

【0272】その他の構成は図9に示すMPEG符号化回路11と同じである。そこで、その他の構成については、図9に示すものと同じ番号を付すことで、その詳細な説明を省略する。

【0273】最初に、図16に示す画像順並び替え回路141について説明する。

【0274】図17は図16に示す画像順並び替え回路141の概略構成図である。

【0275】ここで、符号151～符号154はメモリ、符号155～符号157は選択回路、符号158はメモリ制御回路である。また、VSE1はビデオデコーダ回路26から出力された映像データである。

【0276】図18は、図17に示す画像順並び替え回路141の動作を説明するためのタイミング図である。

【0277】ここで、映像データVSEL内の数字は、カメラコードCCODEの値、すなわち、映像入力端子1～4の番号を示している。

【0278】CT60は、画像タイプ決定回路143に内蔵された60進カウンタであり、1フレーム毎にインクリメントする。そして、画像タイプ決定回路143に入力されるカメラコードCCODEが1になる時に同期してリセットされる。

【0279】PTYPEは、画像タイプ決定回路143によって決定された画像タイプである。画像タイプ決定回路143は、CT60の値に応じて、4フレーム毎に画像タイプPTYPEを決定し、その結果を各部に送る。

【0280】たとえば、CT60が「0」から「3」の期間はIピクチャであり、1番目のIピクチャということで、図では「I1」と示してある。以後、Bピクチャ「B2」、Bピクチャ「B3」、Pピクチャ「P4」、というように、4フレーム毎にピクチャタイプを決定する。

【0281】図17に示すメモリ制御回路158は、CT60の値に基づいてメモリ151～154の制御信号を生成する。

【0282】具体的には、図18に示すように、Iメモリ151のライトイネーブル信号であるwrite Iを生成する。これを受けて、Iメモリ151には、write Iがハイレベルの間、映像データが書き込まれる。

【0283】ここで、図18に示すwrite Iでの矢印は、メモリ制御回路158が生成したIメモリ151のライトリセット信号を示しており、矢印のタイミングでライトアドレスがリセットされる。

【0284】これにより、Iメモリ151は、図18に示すように、CT60の値が「0」の始めのタイミングでリセットされ、CT60の値が「0」から「3」の間で書き込みを行う。したがって、「Iピクチャ」と指定された映像データのみを60フレーム周期で4フレーム分書き込むことになる。

【0285】また、メモリ制御回路158は、Iメモリ151のリードイネーブル信号であるread Iを生成する。これを受けて、Iメモリ151から、read Iがハイレベルの間、映像データが読み出される。

【0286】ここで、図18に示すread Iでの矢印は、Iメモリ151のリードリセット信号を示しており、矢印のタイミングでリードアドレスがリセットされる。

【0287】したがって、Iメモリ151は、図18に示すように、4フレーム周期でリードアドレスをリセットしながら常に読み出しをしていることになる。

【0288】また、メモリ制御回路158は、Bメモリ154の制御信号であるwrite Bおよびread

B、PAメモリ152の制御信号であるwrite PAおよびread PA、そして、PBメモリ153の制御信号であるwrite PB、read PBを、図18に示すようなタイミングで生成する。

【0289】この結果、Bメモリ154には、「Bピクチャ」と指定された映像データのみが書き込まれ、PAメモリ152およびPBメモリ153には、「Pピクチャ」と指定された映像データのみが書き込まれることになる。

【0290】なお、メモリ151～154は、ライトリセットとリードリセットのタイミングが一致した場合には、旧データを読み出すものとする。読み出される映像データの内容を図18に示すread Iでの文字で示している。

【0291】したがって、たとえばIメモリ151は、CT60の値が「4」の始めて映像データが更新され、その後、60フレーム期間、4フレーム周期で同じ映像データを繰り返し読み出すことになる。

【0292】さらに、メモリ制御回路158は、上記のメモリ制御信号のほかに、選択回路155～157の選択信号を生成する。

【0293】具体的には、図18に示すように、選択回路155が、その入力端子に入力された映像データを選択するための選択信号SEL Nを生成する。

【0294】ここで、「I」、「V」、「B」等は、図17において、これ等の文字で示されている入力端子に入力される映像データを選択したことを示している。

【0295】また、「Nout」は、選択回路155のQ端子から出力される映像データを示しており、図18に示すように、通常のMPEG符号化における画像タイプの処理順序(I、P、B、B、P、B...)の映像データが出力される。

【0296】ただし、これ等の画像タイプの切り替わりの周期は、4フレームであり、通常の1フレームではない。

【0297】なお、このNoutは、符号化される映像データVSAとして、図16に示す減算回路72および切替回路73に供給され、同時に、動きベクトル検出用の現信号として動き補償回路82にも供給される。

【0298】また、メモリ制御回路158は、選択回路156がその入力端子に入力された映像データを選択するための選択信号SEL F、そして選択回路157がその入力端子に入力された映像データを選択するための選択信号SEL Bを、図18に示すようなタイミングで生成する。

【0299】ここで、「Fout」は選択回路156のQ端子から出力される映像データを示している。「Fout」は、順方向動きベクトル検出用信号として動き補償回路82に供給される。なお、図中の「-」は動き検出として使用されない映像データを示しており、例えば

「O」を出力する。

【0300】また、「Bout」は、選択回路157のQ端子から出力される映像データを示している。「Bout」は逆方向動きベクトル検出用信号として動き補償回路82に供給される。

【0301】以上に説明した画像順並び替え回路141の動作により、映像データは映像入力端子1~4に順次入力された4フレーム分の映像データが一つのまとまりとして扱われる。したがって、図18に示す「Nout」、「Fout」および「Bout」のデータにおけるカメラ番号は常に同期している。

【0302】このため、動き補償回路82での動きベクトルの検出等のフレーム間処理で、同じ映像入力端子に入力された映像データ同士で演算が行われて、動きベクトルが順次検出される。言い換えれば、一つの動き補償回路82を4台のカメラ映像データに対して時分割で使うということになる。

【0303】次に、図16に示す画像メモリ回路142について説明する。

【0304】図19は図16に示す画像メモリ回路142の概略構成例である。

【0305】ここで、符号161はIピクチャを記憶するIメモリ、符号162はPAメモリ、符号163はPピクチャを記憶するPBメモリ、符号164、165は選択回路、符号166はメモリ制御回路である。

【0306】メモリ161~163は、図1に示すメモリ(1R)6等と同様のFILOメモリである。これらは、メモリ制御回路166が発生するライトリセット信号、ライトイネーブル信号、リードリセット信号、およびリードイネーブル信号によって制御される。

【0307】選択回路164は、SEL端子入力に入力される選択信号SEL FDに応じてI、PA、PBの入力端子に入力された映像データのうちのいずれか1つを選択し、Q端子から出力する。

【0308】選択回路165は、SEL端子入力に入力される選択信号SEL BDに応じてPA、PBの入力端子に入力された映像データのうちのいずれか1つを選択し、Q端子から出力する。

【0309】図20は、図19に示す画像メモリ回路142の動作を説明するためのタイミング図である。

【0310】なお、図20に示す画像メモリ回路142の動作タイミングは、図18に示す画像順並び替え回路141の動作タイミングと略同じなので、その詳細な説明は省略する。

【0311】画像メモリ回路142では、メモリ制御回路166によって制御されるメモリ161~163への書き込み、読み出し動作、および選択回路164、165での選択動作により、選択回路164で選択された映像データFDoutと、選択回路165で選択された映像データBDoutとを得る。

【0312】これらの映像データは、図16に示す動き補償回路82において、映像データFDoutは順方向の動き補償用として、映像データBDoutは逆方向の動き補償用として利用される。

【0313】これらの映像データFDout、BDoutは、図17に示す画像順並び替え回路141の場合と同様に、映像入力端子1~4までの4フレーム分の映像データが一つのまとまりとして扱われており、入力映像データVSEDと同期して出力される。

【0314】このため、動き補償回路82、加算回路80および減算回路72において、同じ映像入力端子同士の映像データが演算処理される。

【0315】なお、厳密には、DCT変換や量子化等の処理には一定の時間が必要であり、VSEIとVSEDとは若干の時間ずれがあるが、図が繁雑になるのを防ぐため、図20ではこれらの時間ずれは無視している。

【0316】カメラコードCCODEは、遅延回路144において、映像データ符号化に要する時間分だけ遅延されてバッファ77から出力される映像符号化データに同期化され、ビデオ多重符号化回路87において、各フレーム毎にピクチャ層のユーザデータとして付加される。

【0317】次に、MPEG復号化回路132について説明する。

【0318】図21は図15に示すMPEG復号化回路132の概略構成図である。

【0319】ここで、符号171は画像メモリ回路を、符号172は画像順並び替え回路を示している。その他の構成は図11に示すMPEG符号化回路15と同じである。そこで、その他の構成については、図11に示すMPEG符号化回路15と同じ符号を付すことで、その詳細な説明を省略する。

【0320】画像メモリ回路171は、図19に示すMPEG符号化回路131の画像メモリ回路142と同じ回路構成である。

【0321】画像メモリ回路171において、図19に示すメモリ制御回路166に相当する回路は、フレーム毎に付加されているカメラコードと、画像タイプコードとに基づいて、図20に示すライトイネーブル信号write1、リードイネーブル信号read1等と同じメモリ制御信号を発生する。

【0322】画像メモリ回路171において、図19に示すメモリ161~163に相当するメモリ各々に入力される映像データの順序や、上記のメモリ制御信号は、図20に示すものと同じである。

【0323】したがって、画像メモリ回路171から出力される映像データも、図20に示すタイミングで出力され、順方向の参照画像データFDoutおよび逆方向の参照画像データBDoutとして動き補償回路98に供給される。

【0324】画像順並び替え回路172は、図17に示すMPEG符号化回路131の画像順並び替え回路141と同じ回路構成であるが、この画像メモリ回路141と逆の画像並び替えを行う。

【0325】すなわち、図18のNoutに示す順序で入力される画像データを、図17に示すメモリ151～154に相当するメモリに書き込み、順序を変えて読み出す。これにより、図18のVSEIに示す元の画像順序で出力する。

【0326】この動作は、4フレームを一つのまとまりとして処理するところ以外は通常のMPEG復号化における画像順並び替えと同じであるので、詳細な回路構成やタイミング図は省略する。

【0327】上記の第二実施形態では、同期化切替回路5により、映像入力端子1～4に順次入力された映像信号がフレーム毎に順次切り替えられて生成された混合映像信号を、画像順並び替え回路141で、入力端子1～4に順次入力された4フレームの映像データを単位として並び替えを行って、当該4フレームのk（kは自然数）倍の時間間隔の映像データを動き補償回路82に送る。

【0328】また、画像メモリ回路142においても、同様に、入力端子1～4に順次入力された4フレームの映像データを単位として、映像データの書き込み・読み出し処理を行うことで、4フレームのk（kは自然数）倍の時間間隔の映像データを参照画像として動き補償回路82に送る。

【0329】この結果、動き補償回路82では、同じカメラの上記時間間隔離れた映像データ同士で動き補償処理が行われることになるので、フレーム間予測符号化の効果としては一つのカメラで得た映像データを符号化する場合と同じとなり、高いデータ圧縮率が得られる。

【0330】また、第二実施形態では、複数のカメラ映像を処理するためのメモリ回路をMPEG符号化回路131およびMPEG復号化回路132の内部に（画像並び替え回路141と172、画像メモリ142と171）設けたので、図1のメモリ（1R）6～メモリ（4R）9、およびメモリ（1P）16～メモリ（4P）19が不要になり、装置を簡略化することができる。

【0331】なお、本発明は上記の各実施形態に限定されるものではなく、その要旨の範囲内で数々の変形が可能である。

【0332】たとえば、上記の各実施形態では、フレーム間の予測符号化を行っているが、フィールド間の予測符号化を行うようにしてもよい。具体的には、例えば、前述の第一実施形態、第二実施形態の説明における「フレーム」をすべて「フィールド」に置き換えることにより、実現できる。

【0333】また、上記の各実施形態において、複数設けられているメモリを1つにまとめて管理するようにし

てもよい。

【0334】また、本発明の記録再生装置は、監視システムに限られず、複数の映像信号が混合した混合映像信号を記録・再生するすべての記録再生装置に適用することが可能である。

【0335】

【発明の効果】以上説明したように、本発明によれば、複数の映像データを、前記複数の映像データ毎にフレーム間の予測符号化を行って圧縮するので、当該混合映像データを効率よく圧縮することができる。

【図面の簡単な説明】

【図1】本発明の第一実施形態である映像データ記録再生装置の概略ブロック図である。

【図2】図1に示す同期化切替回路5の概略構成図である。

【図3】図2に示す同期化切替回路5の動作を説明するためのタイミング図である。

【図4】図2に示す同期化切替回路5の出力映像信号に含まれるカメラコード部分の波形を説明するための図である。

【図5】図1に示すカメラコード判別回路12の概略構成図である。

【図6】図1に示す記録時メモリ制御回路13の概略構成図である。

【図7】図6に示す記録時メモリ制御回路13の動作を説明するためのタイミング図である。

【図8】図6に示す記録時メモリ制御回路13の動作を説明するためのタイミング図である。

【図9】図1に示すMPEG符号化回路11の概略構成図である。

【図10】図9に示すMPEG符号化回路11の動作を説明するためのタイミング図である。

【図11】図1に示すMPEG復号化回路15の概略構成図である。

【図12】図1に示す再生時メモリ制御回路21の概略構成図である。

【図13】図12に示す再生時メモリ制御回路21の動作を説明するためのタイミング図である。

【図14】図1に示す表示制御回路24の概略構成図である。

【図15】本発明の第二実施形態である映像データ記録再生装置の概略ブロック図である。

【図16】図15に示すMPEG符号化回路131の概略構成図である。

【図17】図16に示す画像順並び替え回路141の概略構成図である。

【図18】図17に示す画像順並び替え回路141の動作を説明するためのタイミング図である。

【図19】図15に示す画像メモリ回路142の概略構成図である。

【図20】図19に示す画像メモリ回路1425の動作を説明するためのタイミング図である。

【図21】図15に示すMPEG復号化回路132の概略構成図である。

【符号の説明】

1～4、121 映像入力端子

5 同期化切替回路

6～9、16～19、38、39、124、151～1

54、161～193メモリ

11、131 MPEG符号化回路

12 カメラコード判別回路

13 記録時メモリ制御回路

14 記録再生部

15、132 MPEG復号化回路

21 再生時メモリ制御回路

23、47 カメラコード付加回路

24 表示制御回路

26、123 ビデオデコーダ回路

27、125 ビデオエンコーダ回路

31、32 映像選択回路

33 入力タイミング発生回路

34、35、122 A/Dコンバータ

36、37、73、83 切替スイッチ

40、41 書き込み制御回路

42、43 読み出し制御回路

44 出力選択回路

45 基準タイミング発生回路

53 コンパレータ

54 ラッチ回路

55 同期分離回路

56 タイミング発生回路

61 60進カウンタ回路

62、114 デコーダ回路

63～66、101～104 一致検出回路

71、100、141 画像順並び変え回路

72 減算回路

74 DCT変換回路

75 量子化回路

76、94 可変長符号化回路

77、95 バッファメモリ

78、93 逆量子化回路

79、92 逆DCT変換回路

80、91 加算回路

81、97、142 画像メモリ回路

82、98 動き補償回路

84、143 画像タイプ決定回路

85 情報量制御回路

86 カメラコード発生回路

87、96 ビデオ多重符号化回路

99 遅延保持回路

105～108 立ち上がり検出回路

109～112 遅延回路

113 4進カウンタ

126 D/Aコンバータ

127 カメラコード分離回路

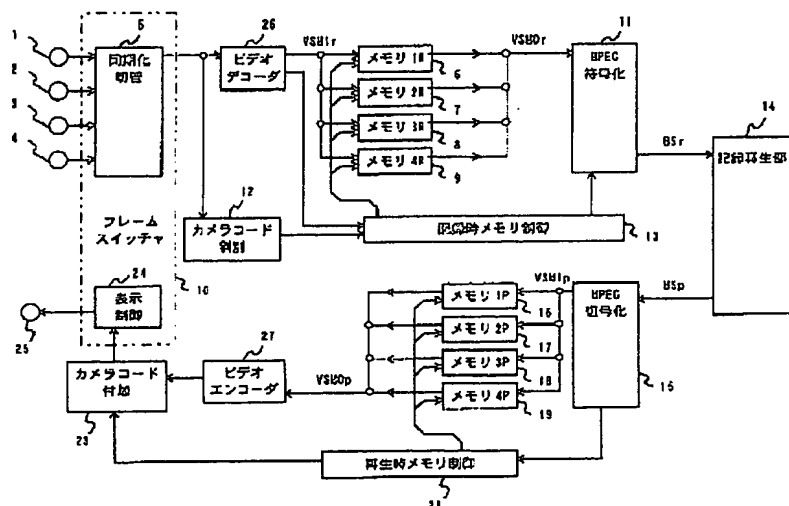
128、158、166 メモリ制御回路

129 映像信号端子

155～157、164、165 画像データ選択回路

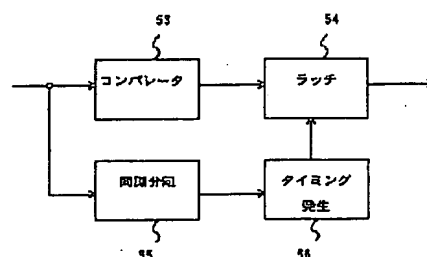
【図1】

図1

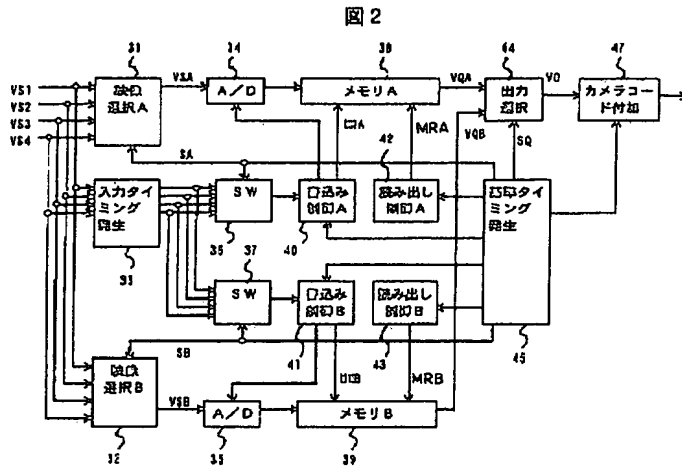


【図5】

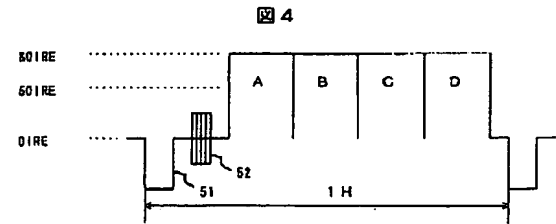
図5



【図 2】

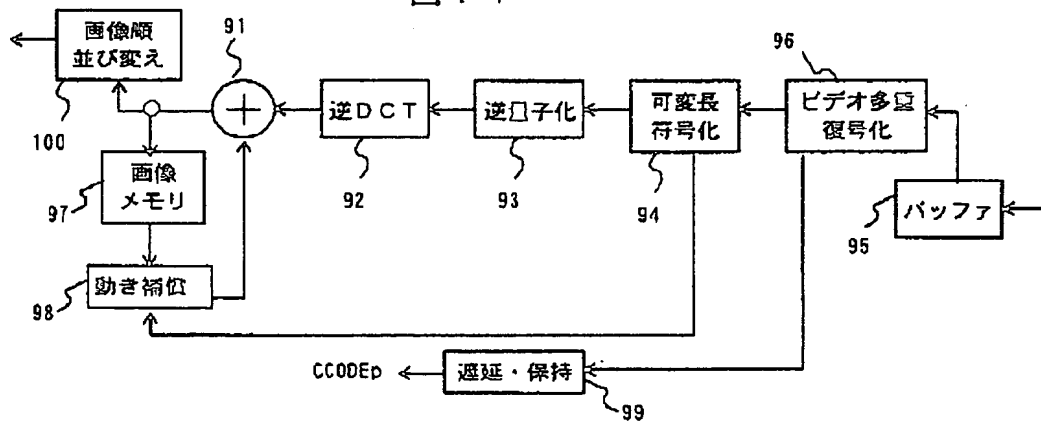


【図 4】



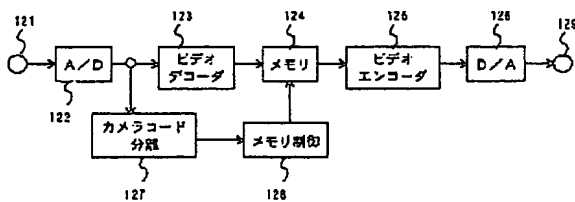
【図 11】

図 1 1



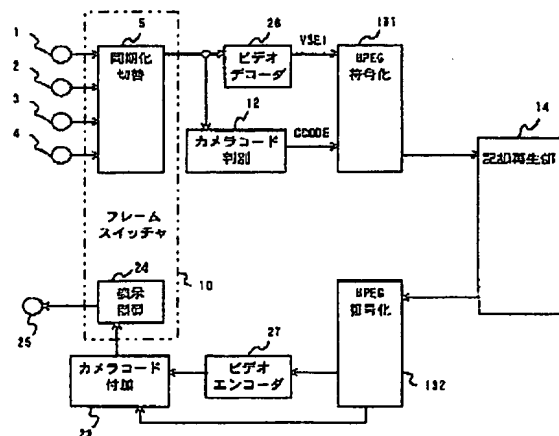
【図 14】

図 1 4



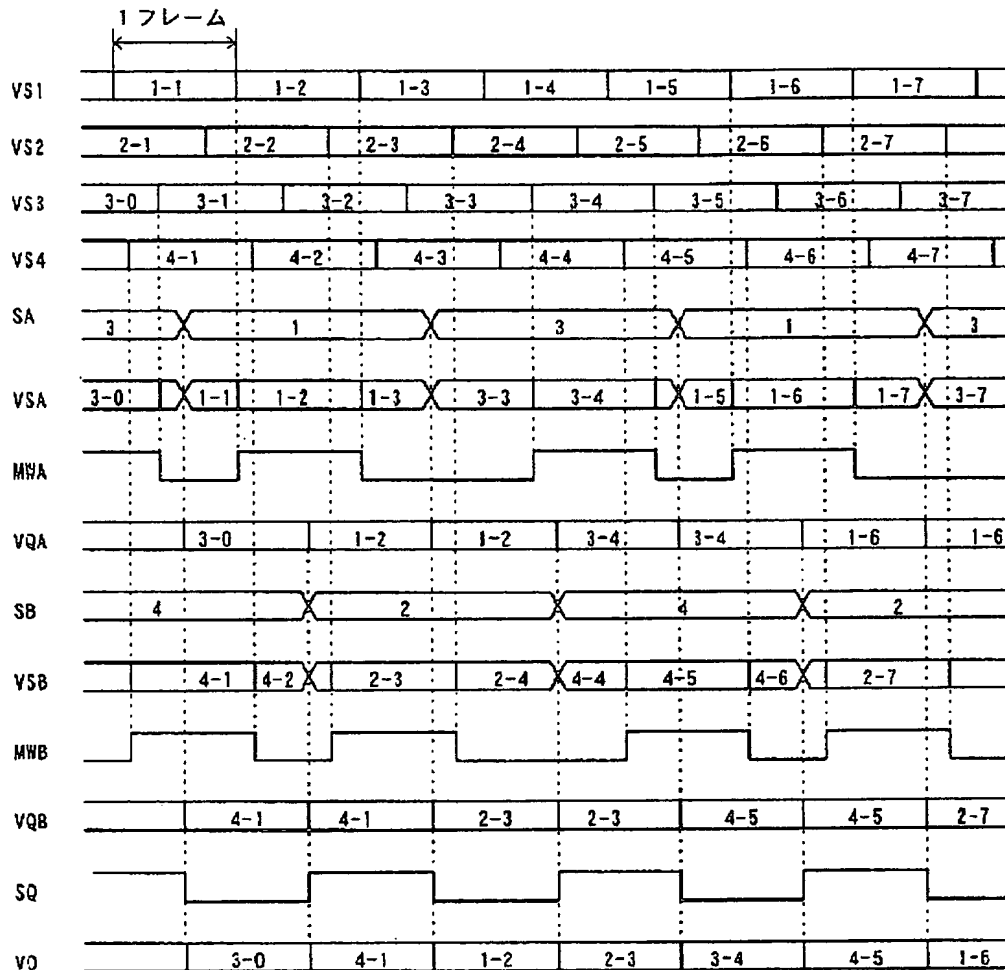
【図 15】

図 1 5



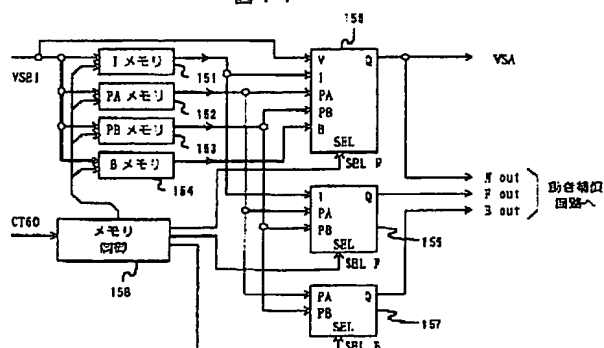
【図3】

図3



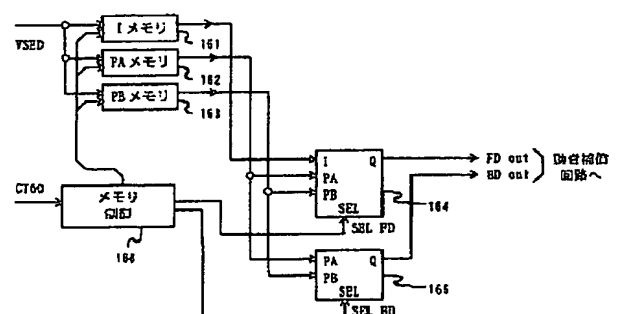
【図17】

図17



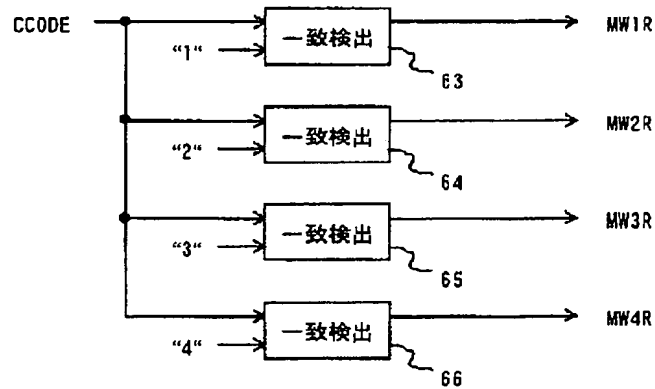
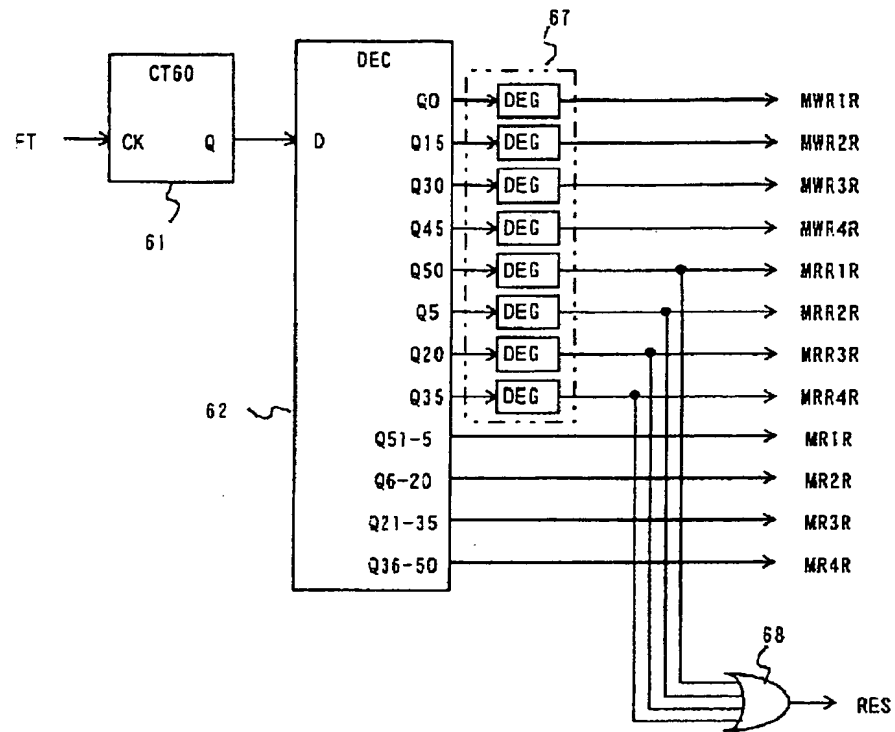
【図19】

図19

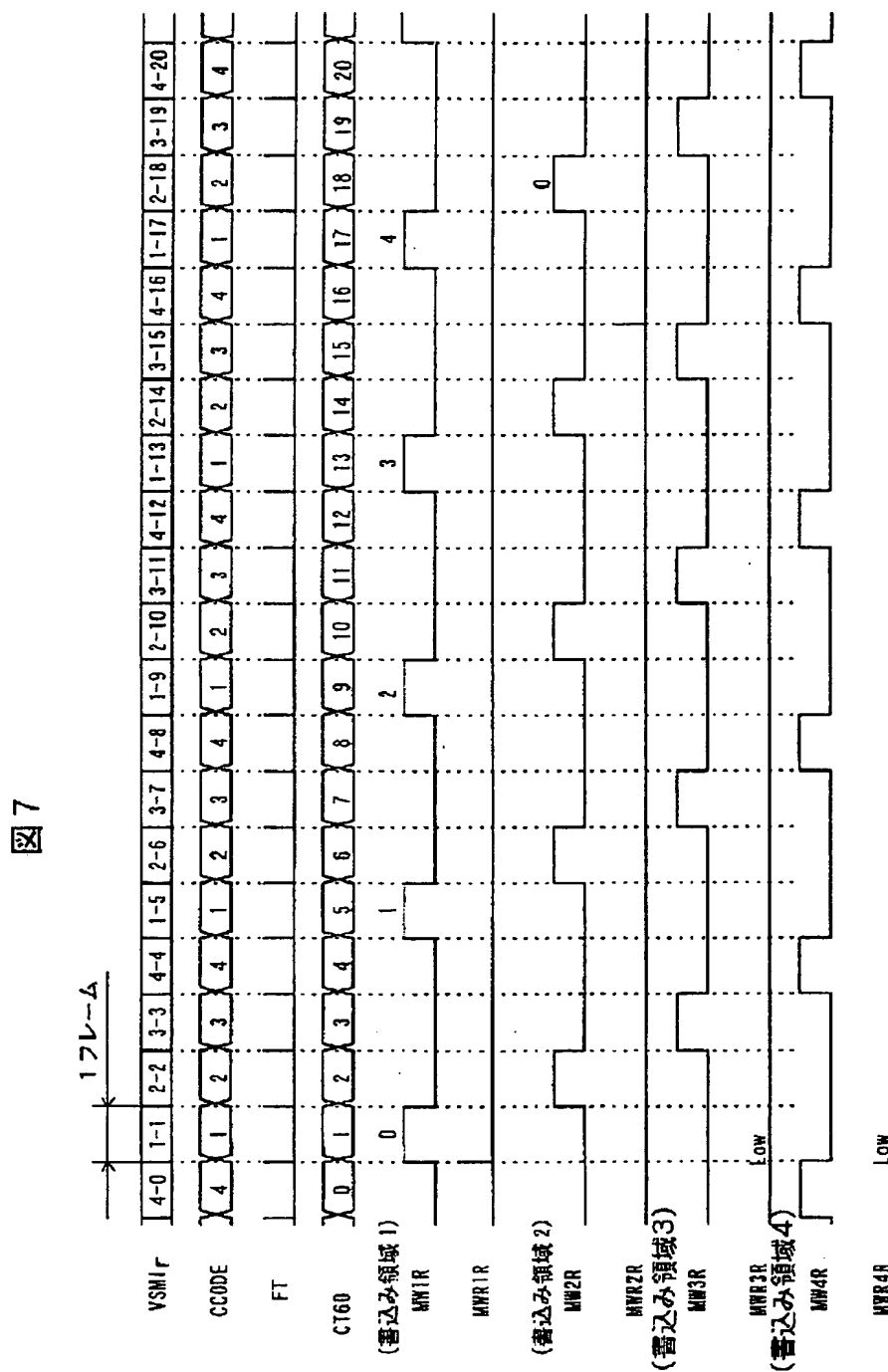


【図6】

図6

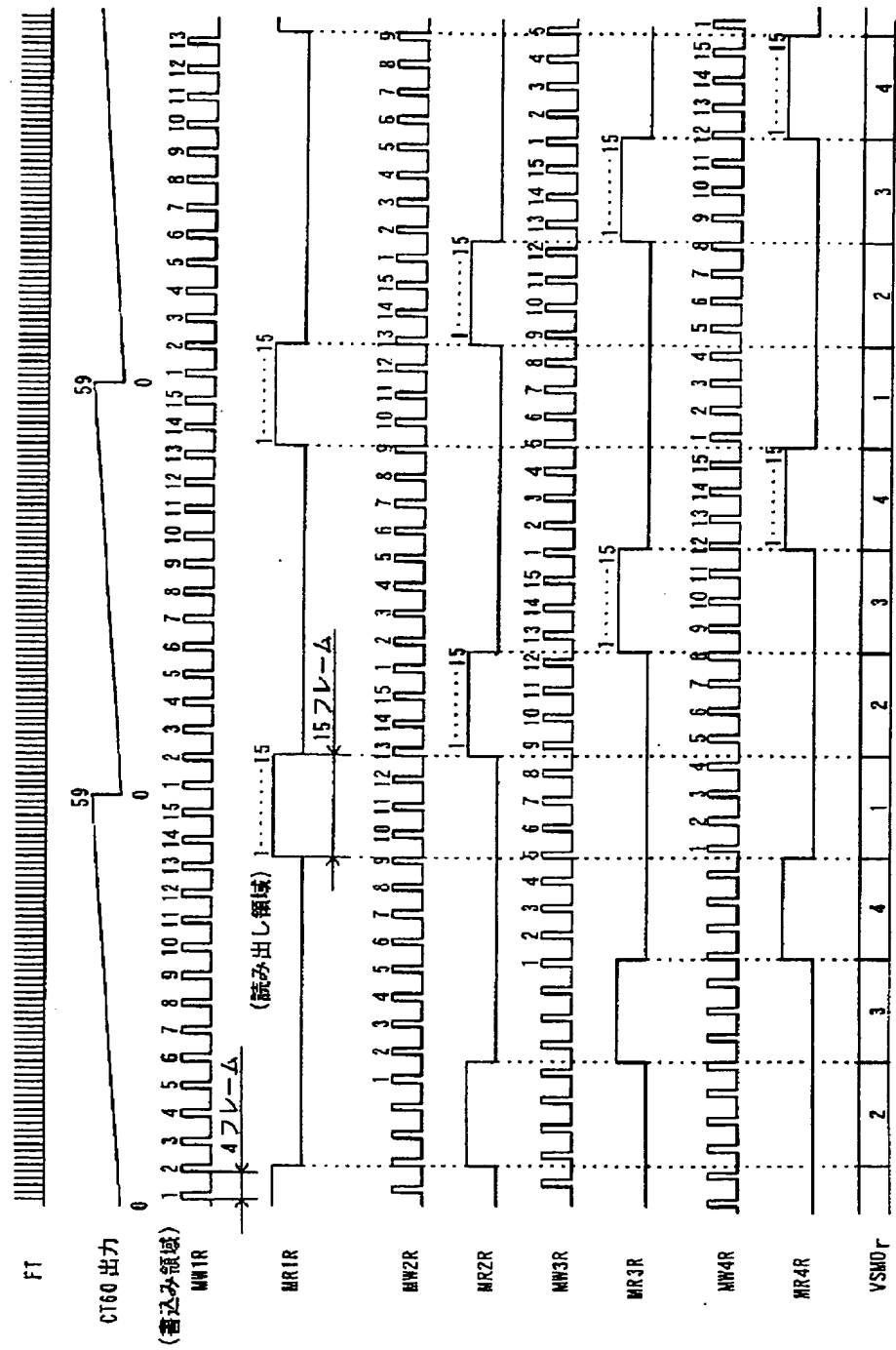


【圖 7】



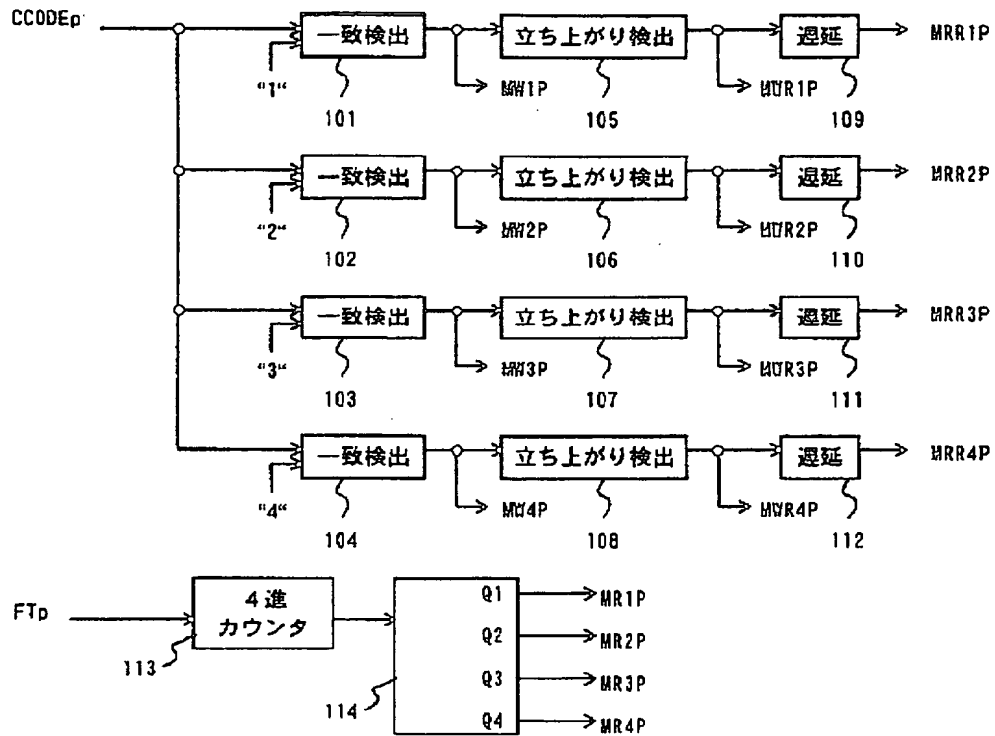
【図8】

図8



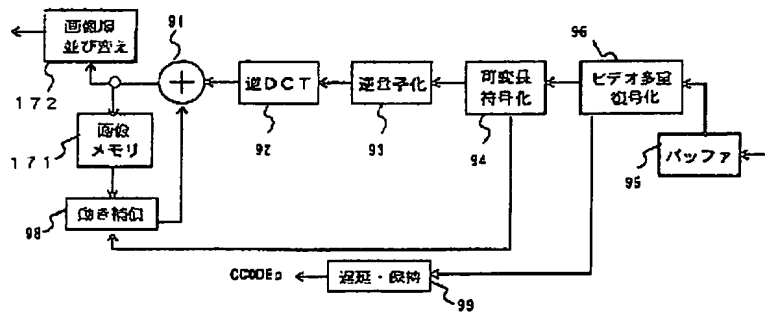
【図12】

図12



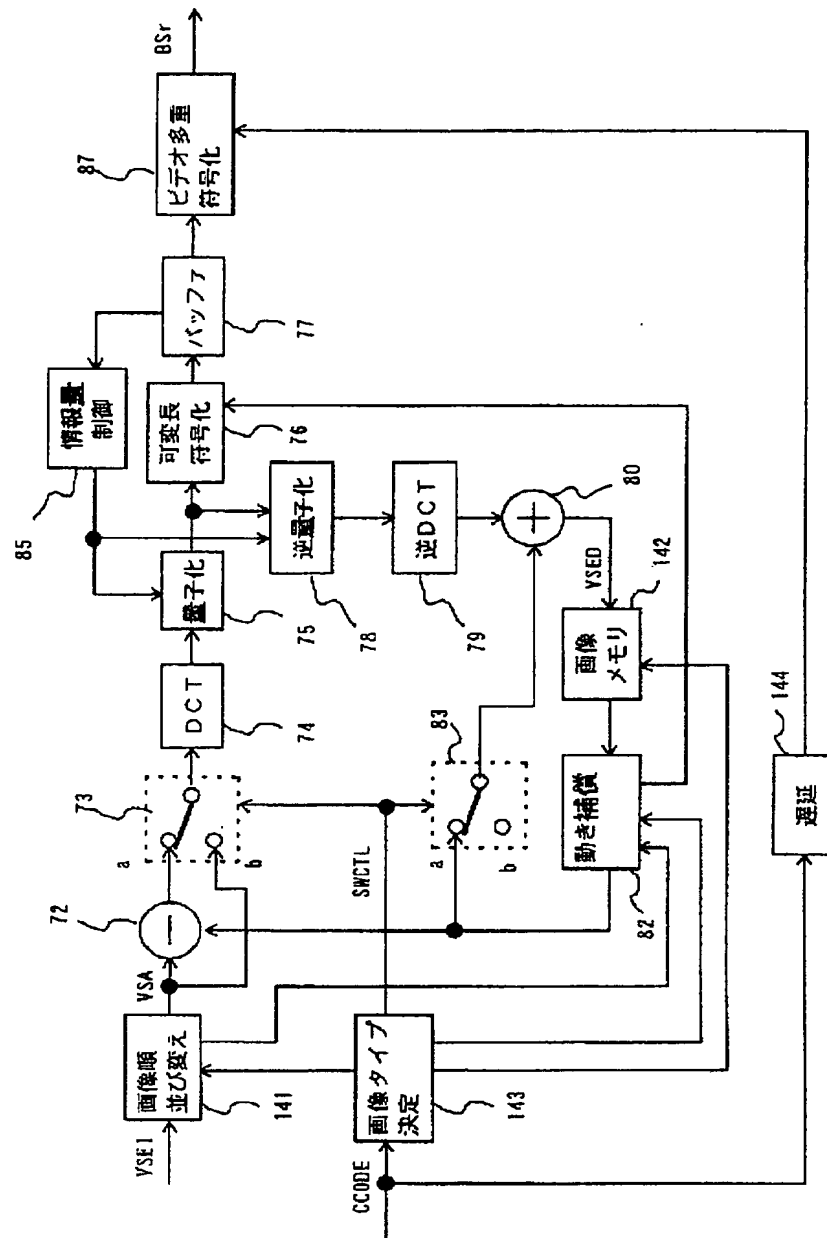
【図21】

図21

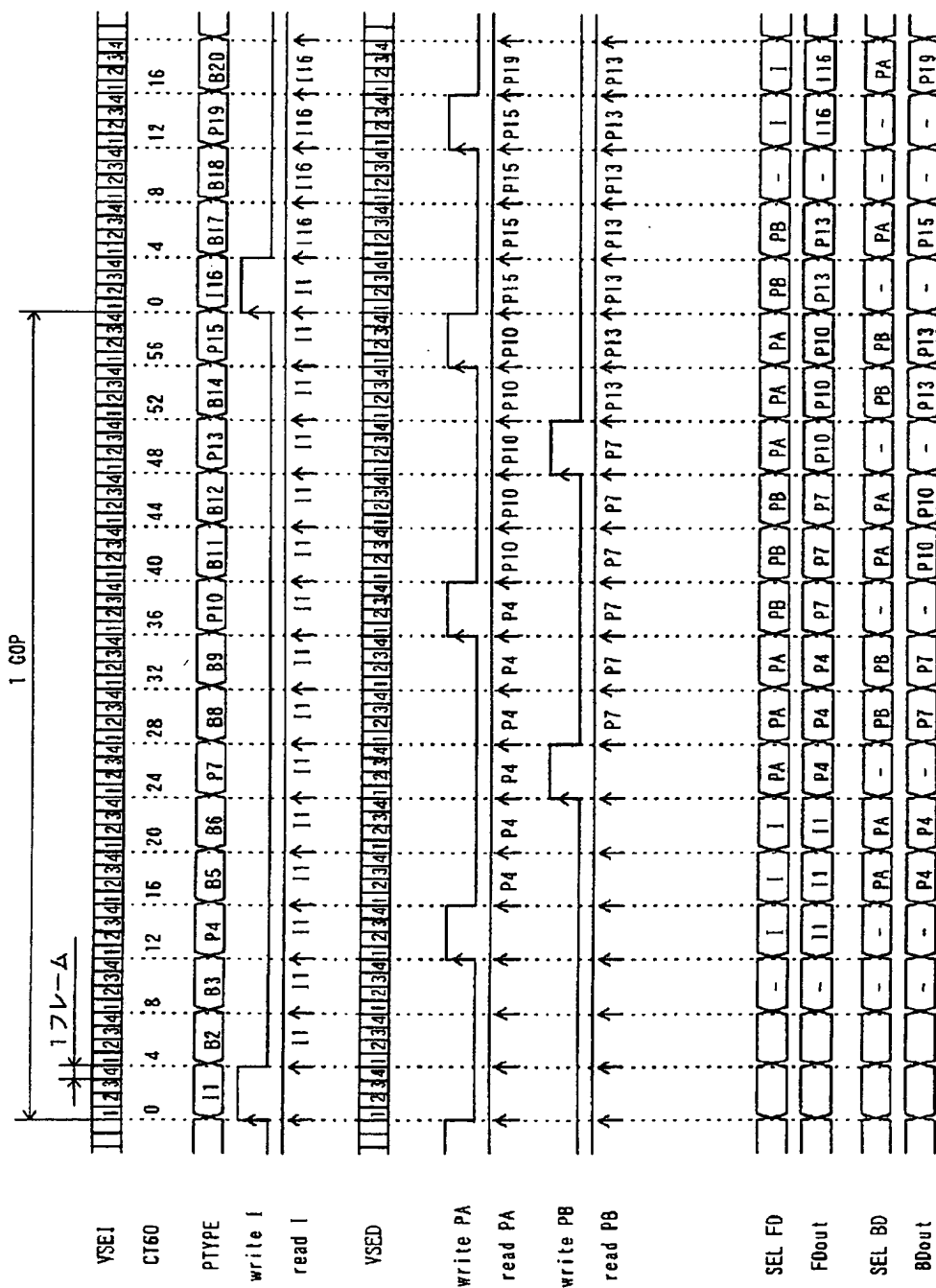


【図16】

図16



20



神奈川県横浜市戸塚区吉田町292番地 株
 式会社日立製作所マルチメディアシステム
 開発本部内

(72)発明者 築地 伸芳

神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所マルチメディアシステム
開発本部内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.